

# 研究スタッフ

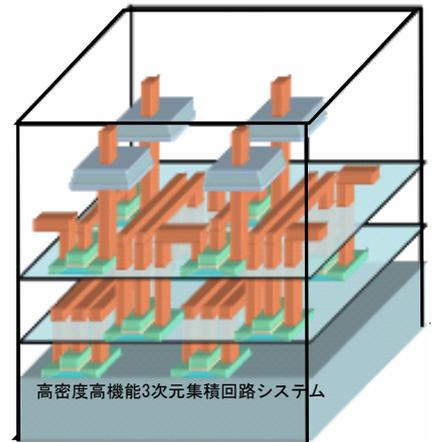
教授：伊藤 隆司、 准教授：小谷 光司

助教：黒木 伸一郎、 助教：田主 裕一郎

研究員：大貫 宣喜

## 研究目的

新世代の情報ユビキタスネット社会に対応し得る画像情報処理技術や通信技術等に適用し得る、知的演算および記憶機能を有する超小型立体型チップを研究開発し、快適で安全な社会の実現に貢献する。そのために高性能トランジスタを三次元的に自由に配置し、高密度三次元配線技術と融合させ、究極の知的システムである脳の機能に漸近する高密度高機能三次元集積回路システムを構築する。シリコン・ナノエレクトロニクス技術を、材料・プロセス・デバイス、回路・アーキテクチャ・アルゴリズムから総合的かつ融合的に研究を行っている。



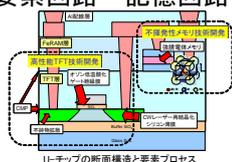
## 主な研究テーマ

### 1. 薄膜トランジスタを用いる高機能RFIDユビキタスチップの研究

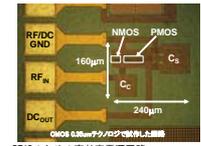
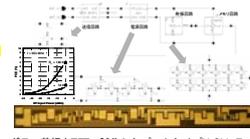
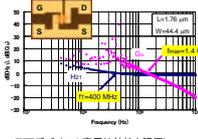
RFIDタグの最大の課題であるコストブレークスルーを目指し、絶縁基板上に作製した高性能薄膜トランジスタ(TFT, Thin Film Transistor)と新構造不揮発メモリをコアデバイスとするアンテナ型演算および記憶機能を有するユビキタスチップ(U-チップ)を開発している。U-チップは、安価な高性能シリコンTFTとそれとプロセス整合する新規な書き換え可能TFT型不揮発メモリをコアデバイスとし、安価なガラスあるいは有機物等の絶縁基板上で各種要素回路・記憶回路とアンテナとを一体構成を行う。



ガラスフレキシブル基板上のユビキタスチップ

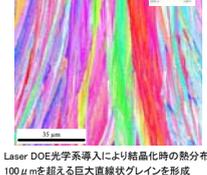
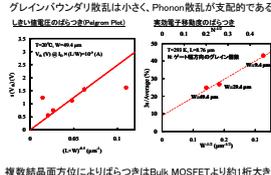
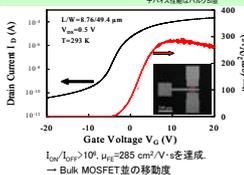
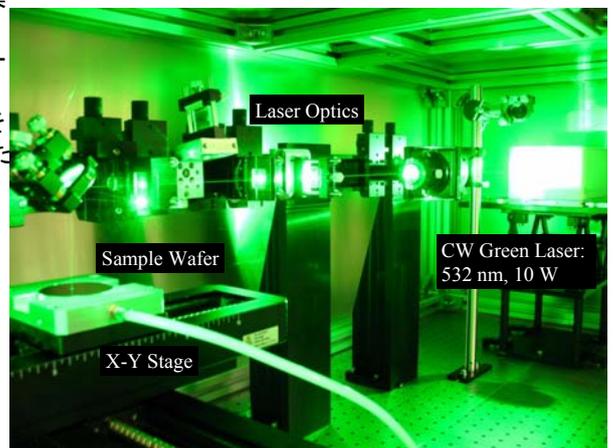
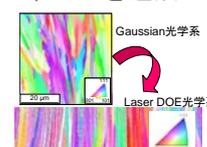
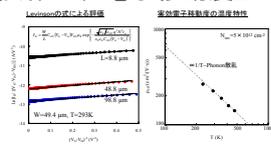
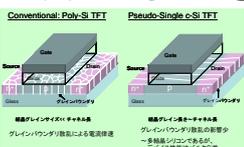


- 一体型アンテナ (高効率オンチップアンテナ)
- 電圧ノイズ検出回路 (RF信号から電力を直効率生成)
- 共振回路 (クロック信号生成)
- 制御回路 (メモリ読出し制御)
- 送信回路 (バックキャッチ方式)
- 絶縁基板不揮発性メモリ回路



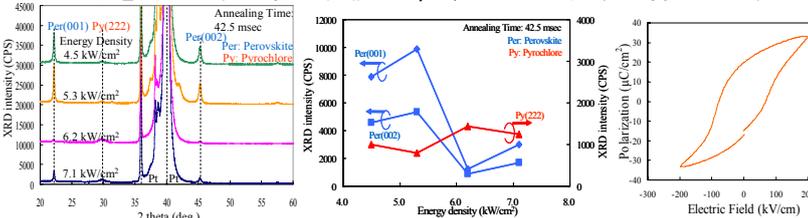
### 2. レーザ結晶化シリコン薄膜による高性能TFTの研究

CWレーザ結晶化法により1次元の結晶成長シリコン(Si)薄膜を作製し、これを薄膜トランジスタ(TFT)に適用することで、デバイスの高性能化を行っている。石英基板上のa-Si薄膜のレーザ結晶化を行い、100  $\mu\text{m}$ を超える1次元の広がりをもつ巨大グレインを形成することができた。1次元のラテラル結晶グレインをチャンネルにもつTFTを試作し、電子移動度285  $\text{cm}^2/\text{V}\cdot\text{s}$ を達成した。

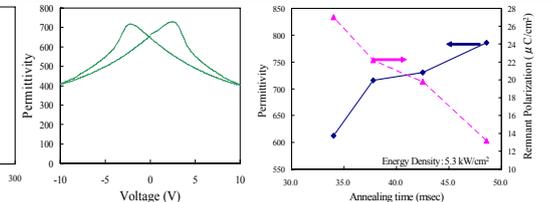
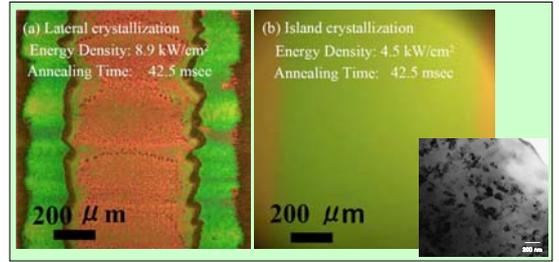


### 3. 強誘電体PZT薄膜のレーザ結晶化の研究

Poly-Si TFTと組み合わせたFeRAM形成のため、強誘電体PZT薄膜のCWグリーンレーザによる結晶化の研究を行った。レーザ結晶化により微結晶成長、島状結晶成長、ラテラル結晶成長を行うことができ、特に島状結晶成長では強誘電性を発現するペロブスカイト相、特にc-軸方向への配向を行うことができた。10<sup>-4</sup> sオーダから10<sup>-2</sup> sオーダのアニール時間変化により結晶グレイン密度とサイズの制御を行えることを示した。残留分極値27 μC/cm<sup>2</sup>のPZT薄膜が得られた。



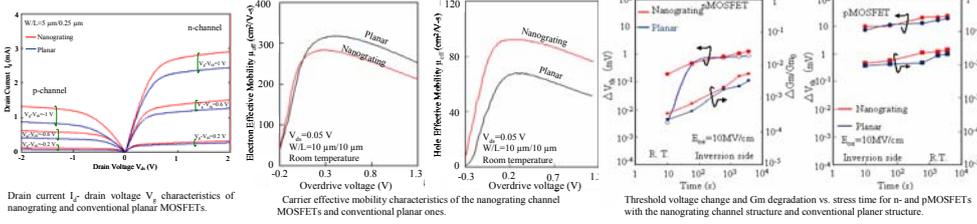
入射エネルギーを変化させることで、ペロブスカイト(001)配向が大きくなった。レーザ結晶化により結晶相が制御でき、特に5.3 kW/cm<sup>2</sup>付近でペロブスカイト相が増加した。



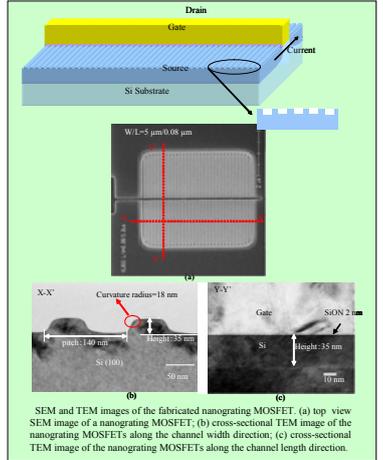
5.3 kW/cm<sup>2</sup>, 42.5 msecの条件で残留分極が19.8 μC/cm<sup>2</sup>になり、最大誘電率が730.2となった。アニール時間48 msで、最大誘電率が最大値786になり、34 msで残留分極が最大値27 μC/cm<sup>2</sup>になった。

### 4. ナノグレーティングチャネルによるFET駆動力向上の研究

基板全面あるいはチップ領域面にナノメートルレベルの凹凸溝（ユニバーサル・ナノグレーティング）を設け、占有面積を変えずに電流通路（チャネル）を拡大する（α>1）ことによってトランジスタの駆動力α・Gmを増大させ、さらに歪効果を利用したキャリア移動度の増大を利用し性能向上を実現した。CMOSのチップ面積縮小に有効である。従って集積回路の性能向上を実現する。従来のLSI製造工程をほとんど変更することなく、既存の量産工場をそのまま活用することによって性能的に差別化を行うことができる。



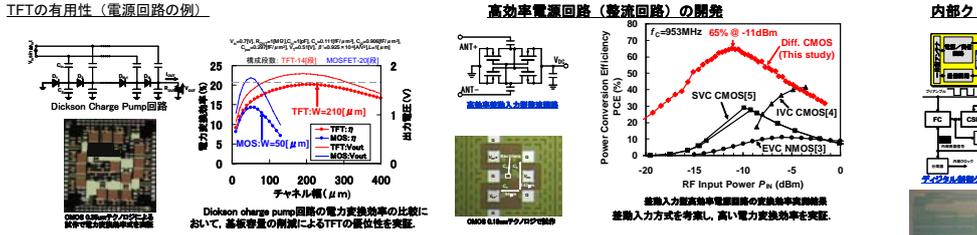
Drain current I<sub>d</sub>-drain voltage V<sub>d</sub> characteristics of nanograting and conventional planar MOSFETs. Carrier effective mobility characteristics of the nanograting channel MOSFETs and conventional planar ones. Threshold voltage change and Gm degradation vs. stress time for n- and pMOSFETs with the nanograting channel structure and conventional planar structure.



SEM and TEM images of the fabricated nanograting MOSFET. (a) top view SEM image of a nanograting MOSFET; (b) cross-sectional TEM image of the nanograting MOSFETs along the channel width direction; (c) cross-sectional TEM image of the nanograting MOSFETs along the channel length direction.

### 5. 高性能TFTデバイスを用いたコストイフェクティブRF集積回路の研究

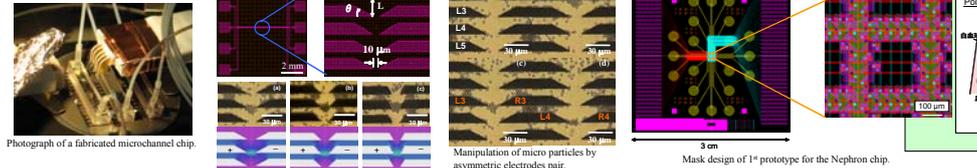
CWレーザ結晶化法による高性能TFTを、ガラス等の誘電体基板上で低損失（高Q値）のインダクタンスや容量、伝送線路と集積化し、コストイフェクティブな高性能RF集積回路を実現する。さらに、必要な場所에만必要な薄膜を形成し、必要な薄膜形成・改質処理も必要な部分のみに適応する新しい概念である「領域選択プロセス」技術により、更なる低コスト化を目指す。



TFTの有用性（電源回路の例）。高効率電源回路（整流回路）の開発。内部クロック生成回路（発振回路）の開発。

### 6. TFTアクティブマトリクス人工腎臓の研究

薄膜トランジスタによるアクティブマトリクス・アレイを用いた電界駆動型マイクロイオンチャネルチップの研究を行っている。これによりTFTアクティブマトリクス・イオンチャネル型人工腎臓（Nephron Chip）開発につなげる。



Photograph of a fabricated microchannel chip. Manipulation of micro particles by asymmetric electrodes pair. Mask design of 1<sup>st</sup> prototype for the Nephron chip.

