

研究スタッフ

教授： 中島 康治、 助教授： 佐藤 茂雄
助手： 早川 吉弘、 助手： 小野美 武
研究員： 金城 光永

研究目的

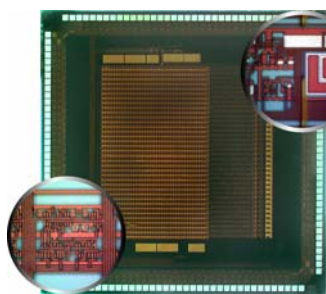
当研究室では、知的情報処理システムの構成法の研究、知的集積回路の設計と製作、人工集積神経回路網の解析と応用、並びにそれに向けた新しいデバイスの開発を行っております。それに伴い大規模集積回路の構成全般にわたる設計・製作・検査から組み立てまでの新概念に基づく基盤技術の開発も合わせて行っております。さらに新たな機能を持つデバイスや知的回路構成法を探索しており、次世代情報処理システムのゲートレベルからの新構築を目指して研究を進めております。



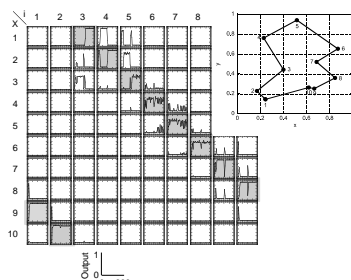
主な研究テーマ

● 大規模集積化フレイムコンピュータに関する研究

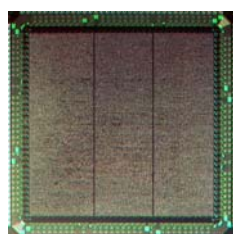
自律分散記憶を核とした知的情報処理システムを構成するため、ニューロシステムへの発振能力の導入による高性能情報処理機能の達成やストカスティックモデルによる高集積化手法の確立などをベースに、超低消費電力、超高速動作のCMOS、単電子、超伝導デバイスを用いた回路設計を行い、連想記憶や最適化処理などを行うフレイムコンピュータのマイクロチップ化を目指した研究を行っております。



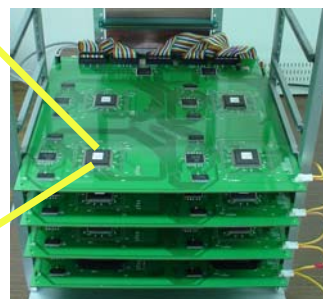
Inverse Function Delayed モデルを搭載した汎用ニューロチップ



巡回セールスマン問題の解探索従来手法0.1%を100%の正解率へ



4.5mm角,0.35 μm CMOS ストカスティックニューロチップ



1024ニューロンを搭載したニューロシステム

高性能最適化処理ニューロチップ

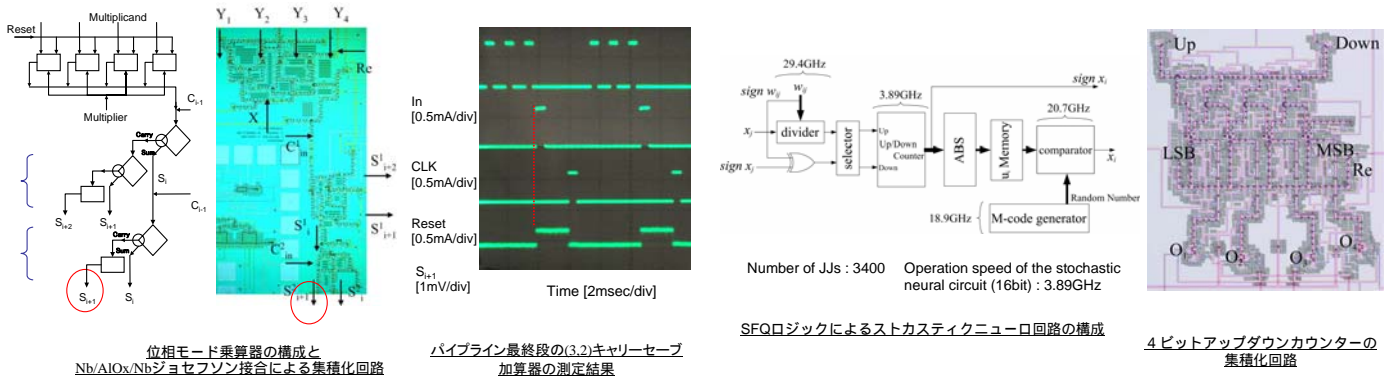
発振能力をネットワーク動作に取り込むInverse Function Delayed モデル(2002年提案)を搭載した汎用ニューロチップ。コンピュータ並びにこれまでのニューラルネットワークでは困難とされている組み合わせ最適化問題で高い正解率を達成することができる。

ストカスティックニューロシステム

ストカスティックモデルの導入により、省スペースで1000ニューロン以上の大規模システムの実現が可能となった。モバイルブレインへ向けてのプロトタイプシステムである。

超高速ローパワー超伝導コンピュータに関する研究

単一磁束量子を情報担体とした超高速(ps/gate)・低消費電力($\mu\text{W/gate}$)の情報処理回路の研究を行っております。集積化チップはジョセフソントンネル素子を集積化した回路により試作されます。回路中の磁束量子の挙動や相互作用を論理動作として利用し、粒子性情報担体としての特徴を生かしたアーキテクチャや設計・集積化技術の研究を行っております。



位相モード乗算器の集積化

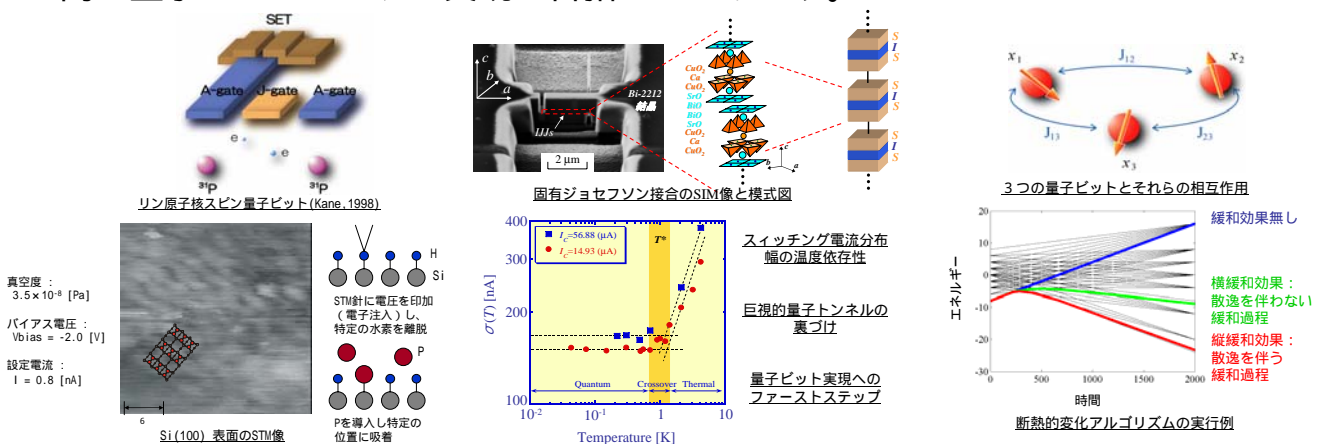
独自に提案している位相モード方式による超高速・低消費電力プロセッサの実現を目指して、回路の集積化と検証を行っております。図は4ビットパラレル乗算器をビットスライスした回路の製作と測定を示す。回路はNb/AlOx/Nbジョセフソン接合403個で構成される。

ストカスティック論理に基づくニューロ回路の構成

ストカスティック論理に基づくニューロ回路の構成をSFQ回路に適用し、回路構成の提案・数値解析による評価・集積化回路の試作を通して回路性能の検証を行っております。

固体量子コンピュータに関する研究

固体量子コンピュータの実現に向けてハードウェア及びソフトウェア両面の研究を行っております。ハードウェア関連ではSi系核スピン量子ビット及び超伝導位相量子ビットの設計・製作を行っております。ソフトウェア関連ではより汎用性の高い量子アルゴリズムの開発を行っております。両者の総合的理解を通してより汎用性の高い量子コンピュータの実現を目指しております。



リン原子核スピンを利用した量子ビット

STM単原子露光技術とMBE薄膜成膜技術により、リン原子をSiウェハーに埋め込む。上部にはEB露光技術により制御電極及び観測用SETが実現できる。

高温超伝導体固有ジョセフソン接合を利用した量子ビット

結晶中に自然に形成される固有ジョセフソン接合列を用いて、超伝導位相量子ビットが実現できる。

スピン系ハミルトニアンを用いた断熱的变化アルゴリズム実行の様子

断熱的变化アルゴリズムに対しエネルギー散逸を伴う緩和過程を積極的に取り入れることで組合せ最適化問題を解くことができる。