

研究スタッフ

教授：羽生 貴弘

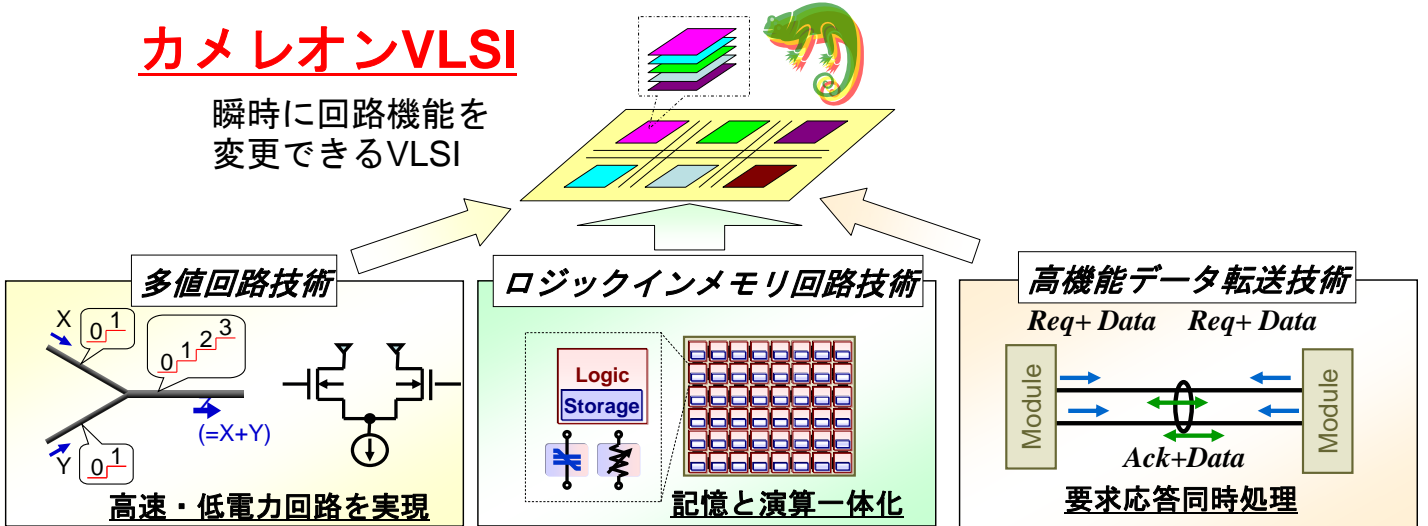
助教：夏井 雅典, 松本 敦

研究目的

高機能・高速・低電力・コンパクト・高信頼VLSIの実現 → 新概念アーキテクチャ・回路技術

カメレオンVLSI

瞬時に回路機能を変更できるVLSI



主な研究テーマ

1. MTJ素子を用いたロジックインメモリVLSI (東北大学電気通信研究所大野研究室, 日立との共同研究)

不揮発性Ternary CAM (TCAM)

MTJ素子による実現
⇒ 細粒度パワーゲーティングが可能に

CMOSのみによるTCAM実現 vs CMOS/MTJによるTCAM実現

細粒度パワーゲーティングによる消費電力削減の効果
⇒ 不揮発性により非移動セルの静的消費電力を完全カット
⇒ TCAMにおいて静的消費電力が支配的な環境を想定した時に、従来のCMOSのみによるTCAM実現と比較して電力速度比の大幅低減を実現

逐次比較型 TCAM全体図

Search-line / Word-line driver, 検索ワード, Bit-line driver, Output driver

Legend: C TCAMセル, SA センスアンプ, 記憶ワード&検索, ACC アキュムレータ

試作チップ
CMOS部(140nm)
日立作製
MTJ素子部
大野研作製

寸法: 16.4 μm x 9.8 μm x 3.0 μm

測定波形
780mV/div, 10ms/div
Active, Power-off, Standby, P, E, S, OUT_{before}, OUT_{after}
Stored data B=0, Match, Mismatch

S. Matsunaga, K. Hiyama, A. Matsumoto, S. Ikeda, H. Hasegawa, K. Miura, J. Hayakawa, T. Endoh, H. Ohno, and T. Hanyu, "Standby-Power-Free Compact Ternary Content-Addressable Memory Cell Chip Using Magnetic Tunnel Junction Devices," Applied Physics Express (APEX), vol. 2, no. 2, pp. 023004-1-023004-3, 2009.

樋山公之, 松永翔, 羽生貴弘, "TMR素子を用いた高密度不揮発TCAMの構成," 平成20年度電気関係学会東北支部連合大会講演論文集, 2E16, p. 368, Aug. 2008. (電気学会東北支部「優秀論文発表賞B」受賞)

不揮発性Field-Programmable Gate Array (FPGA)

MTJ素子による実現
⇒ 瞬時起動が可能に

外部不揮発メモリ

MTJ素子の特性に応じた電流・電圧の変化を直接論理値信号として活用

センスアンプの共有化 ⇒ コンパクトな回路を実現

試作チップ
寸法: 16.4 μm x 17.5 μm

LUT演算, Sense Amp., Output

小振幅, フル振幅

MTJ素子を用いた2入カルクアップテーブル回路

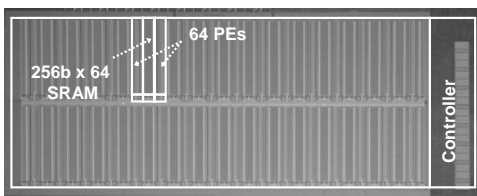
回路情報をFPGA内部で不揮発的に保持するために、電源投入時に回路情報の復帰動作が不要

測定波形
780mV/div, 50μs/div
Active, Power-Off, Active
CLK, V_{DD}, Z, Z-bar
A ⊕ B, メモリ (A, B), V_{DD}=0

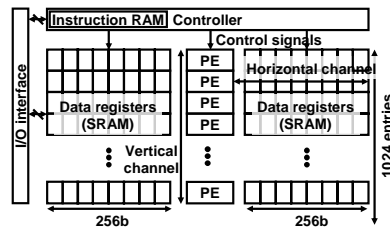
D. Suzuki, M. Natsui, S. Ikeda, H. Hasegawa, K. Miura, J. Hayakawa, T. Endoh, H. Ohno and T. Hanyu, "Fabrication of a Nonvolatile Lookup-Table Circuit Chip Using Magneto/Semiconductor-Hybrid Structure for an Immediate-Power-Up Field Programmable Gate Array," IEEE 2009 Symp. VLSI Circuits, Dig. Tech. Papers, pp.80-81, June 2009

2. 高速低消費電力多値VLSI技術

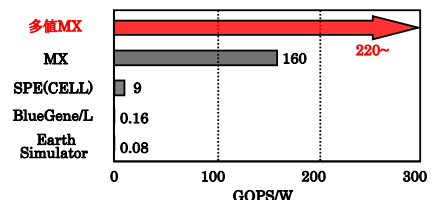
超並列プロセッサ(ルネサステクノロジーとの共同研究)



MX (MatriX processor), Renesas Technology, 2006 ISSCC

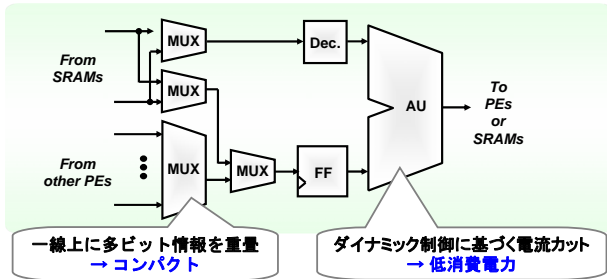


電流モード多値回路に基づくPEの構成



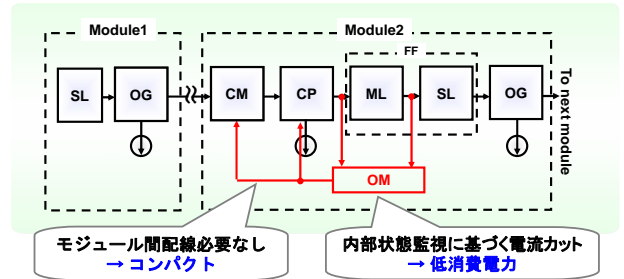
16ビット固定小数点演算における性能比較

適応的電流モード回路に基づくChannelの構成



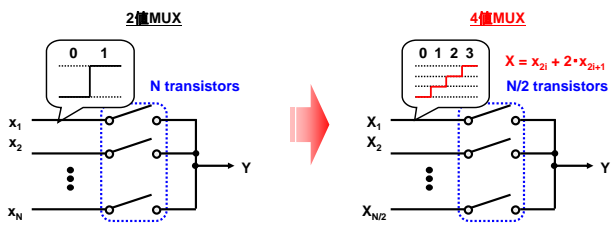
一線上に多ビット情報を重量 → コンパクト

ダイナミック制御に基づく電流カット → 低消費電力

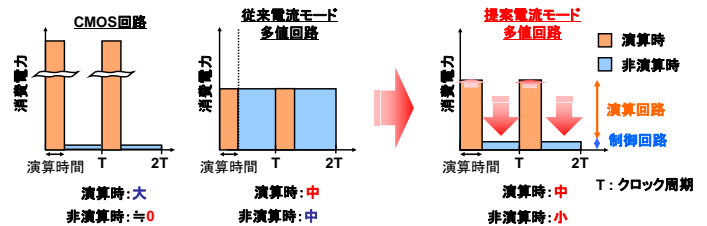


モジュール間配線必要なし → コンパクト

内部状態監視に基づく電流カット → 低消費電力



CMOS方式と比べ消費電力を75%, 素子数を33%まで低減



従来方式と比べ消費電力を約40%まで低減

H. Shirahama, A. Mochizuki, T. Hanyu, M. Nakajima, K. Arimoto, "Design of a Processing Element Based on Quaternary differential Logic for a Multi-Core SIMD Processor," Proc. 37th IEEE International Symposium on Multiple-Valued Logic, May 2007.

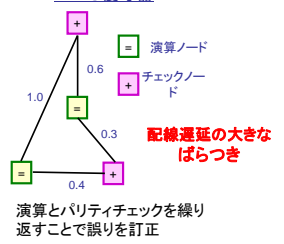
T. Matsuura, H. Shirahama, M. Natsui, and T. Hanyu, "Timing-Variation-Aware Multiple-Valued Current-Mode Circuit for a Low-Power Pipelined System," Proc. 39th International Symposium on Multiple-Valued Logic, pp.60-65, May 2009

3. 非同期式転送方式に基づく通信用LSI・ネットワークオンチップ

低密度パリティチェック復号器

(Low-Density Parity-Check:LDPC)

LDPC復号器



演算とパリティチェックを繰り返すことで誤りを訂正

遅延時間	従来方式	提案方式
	1.0 (最悪遅延)	0.58 (平均遅延)

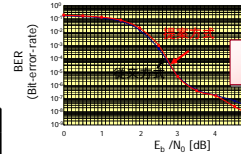
部分更新アルゴリズム

最新に更新されたデータのみを用いて演算
スループットは最悪遅延に依存しない → 高速

時間的に連続したデータの類似性
従来と同等の演算が可能
優れた誤り訂正能力

配線遅延の大きなばらつき

LDPC符号の誤り訂正能力

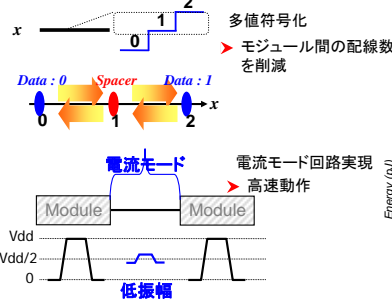


同等の誤り訂正能力

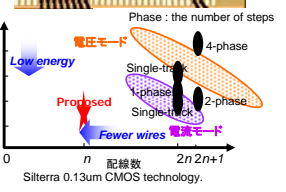
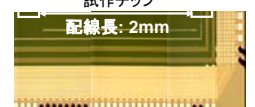
• 1024bit (3,6) rate-1/2 code-Min-sum decoding
• BPSK modulation/AWGN channel-4-bit precision

非同期ネットワークオンチップ(CREST研究課題)

電流モード多値single-track方式に基づく非同期データ転送



低振幅



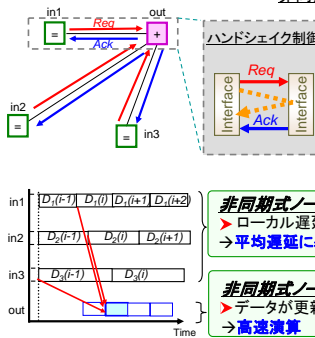
Silterra 0.13um CMOS technology.

Yo Ohtake, Takahiro Hanyu, "High-Performance Asynchronous Intra-Chip Communication Link Based on a Multiple-Valued Current-Mode Single-Track Scheme," Proc. 42th Int. Symp. on Circuits and Systems (ISCAS), pp. 1000-1003, May 2009

ビットシリアル転送に基づく非同期式LDPC復号器

非同期制御

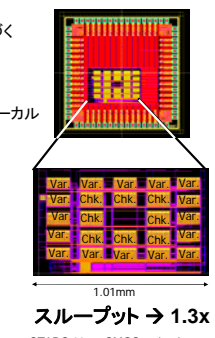
16ビット非同期式LDPC復号器



要求・応答信号に基づくハンドシェイク制御
速度はそれぞれのローカルな遅延時間で決定。

非同期式ノード間データ転送
ローカル遅延に基づくノード間転送
平均遅延に基づく高速転送

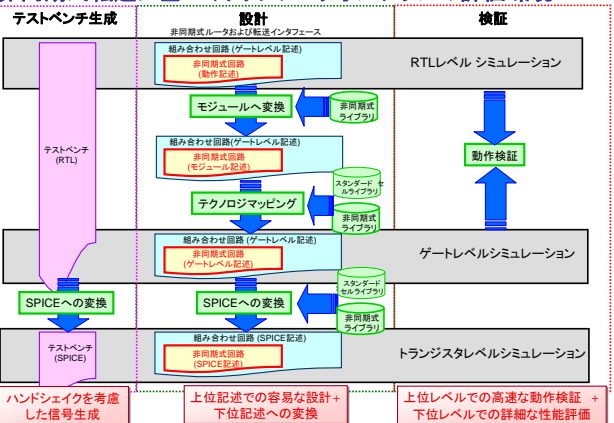
非同期式ノード演算
データが更新されるたびに演算
高速演算



スループット → 1.3x
STARC 90nm CMOS technology

N. Onizawa, T. Hanyu, and V. C. Gaudet, "High-throughput Bit-serial LDPC Decoder LSI Based on Multiple-Valued Asynchronous Interleaving," IEICE Trans. Electron., vol. E92-C, pp. 867-874, June 2009

非同期式転送に基づくネットワークオンチップの評価環境



ハンドシェイクを考慮した信号生成 | 上位記述での容易な設計+下位記述への変換 | 上位レベルでの高速な動作検証+下位レベルでの詳細な性能評価