



東北大学

Empowered by Innovation

NEC

報道関係各位

2013年6月10日

国立大学法人東北大学
日本電気株式会社

文字検索処理にかかる消費電力を1/100に削減する 検索用論理集積回路の基本動作を実証

～ スピントロニクス論理集積回路技術の優れた省電力性を確認 ～

国立大学法人東北大学（総長：里見進/以下、東北大学）省エネルギー・スピントロニクス集積化システムセンター及び電気通信研究所の大野英男教授と羽生貴弘教授のグループは、最先端研究開発支援プログラム（中心研究者：大野英男）において共同事業機関であるNECと、スピントロニクス論理集積回路技術を適用した検索用論理集積回路を試作し、その動作実証において、文字検索処理に必要な消費電力を1/100に削減することができました。

スピントロニクス論理集積回路技術は、電子が持つ性質であるマイナス電荷や微細な磁石であるスピン（注1）を利用して、電流の方向によって磁石のN/Sを反転させて演算結果を記憶する技術です。本技術は、論理集積回路上の全ての回路を不揮発化することができます。回路の不揮発化はICT機器やシステムの省電力化を実現するために有効であるため、東北大とNECはこれまで、スピントロニクス論理集積回路技術を用いて、汎用検索集積回路（TCAM、注2）、画像処理プロセッサ等を試作し、これらの動作実証を行ってきました（注3）。

今回、東北大学とNECは、これまでの研究開発の結果を活用して、文字検索システムに適用した場合に大きな省電力性が得られる検索用回路技術を開発しました。また、本技術を適用した小規模な検索用論理集積回路を試作し、その動作実証において消費電力を1/100に削減することができました。

現在、検索処理にはサーバ内のDRAMとCPU間のデータ転送のため大きな電力が必要となります。一方、そのデータ転送をなくすためにロジックインメモリ構成（注4）を使用するだけでは、待機電力が増大してしまいます。今回開発した検索用論理集積回路は、ロジックインメモリ構成でありながら不揮発論

理集積回路であるため、待機電力が不要となります。また、検索処理に必要な回路ブロックにのみ電源を供給する仕組みとすることで、必要最小限の消費電力で検索を実行することができます。これらにより、検索処理のための電力の大幅削減が可能となりました。

昨今、クラウドコンピューティングやビッグデータ活用の進展とともに、コンピュータシステムの活用や規模も拡大しており、その消費電力の一層の削減が課題となっています。

東北大学とNECは、スピントロニクス論理集積回路技術を開発・適用し、待機電力ゼロなどのコンピュータシステムの究極の省電力化に向けた取り組みを行っており、今回の研究開発成果も、その一環となります。

このたび開発した検索用論理集積回路の特長は、次のとおりです。

1. 多機能 CAM セルの開発・採用

本検索用論理集積回路の要素回路には、新たに「多機能 CAM セル」(注2)を開発し、採用しました。

文字検索においては、ハードディスク内の索引に記憶されている文字列の中から、検索文字列と一致するものを探します。検索用の集積回路である CAM を用いて検索システムを構築した場合、一つの操作で膨大な数の文字列検索が可能になるとともに、従来の検索処理で行われている、DRAM と CPU 間のデータ転送を伴う逐次的な処理がなくなります。これらにより、高速に検索処理を実現できるとともに、DRAM と CPU 間でのデータ転送に使用する消費電力をなくすことが可能となります。しかし、CAM を使用した場合は、検索文字列の長さに関係なく記憶されている文字列分全ての検索を行う必要がありました。

今回開発した多機能 CAM セルでは、短い検索文字列の場合、長い文字列との一致検出を行わないよう、検索不要であることを示す入力信号の組合せ(パターン)を定めた上で、そのパターンが入力された時には、不要な文字列の検索を実行しない回路を実現しました。また、索引の中の、文字のない空白箇所については検索をしない(CAM セルが動作しな

い) パターンを設けました。これら 2 つのパターンにより、検索処理にかかる消費電力を削減しました。

このような省電力化に特化した多機能 CAM セルを採用したため、検索用論理集積回路では必要な回路のみが動作するようにでき、不揮発性による待機電力削減効果との相乗効果で、大幅に電力を削減することができました。

2. 1Mb 規模での試作・動作実証

今回の動作実証では、90nm の CMOS 回路(注 5)と垂直 MTJ(注 6)を組み合わせた集積回路チップを使用しました。記憶できる文字列容量は、32 文字までの索引語を 4000 語格納できる容量 (1Mb) です。この集積回路チップを用い検索を実施したところ、動作電力 25.7mW、待機電力がほぼゼロでした。

これは、従来の DRAM と CPU を組み合わせた検索処理と比べ、消費電力を 1/100 以下程度に低減できることを示しています。今後、素子技術が進展し、ギガビット級のスピントロニクス論理集積回路が実現できるようになると、実用化への道が拓かれます。

東北大学と NEC は最先端研究開発支援プログラム(注 7)の中で、スピントロニクス論理集積回路技術を適用した、さまざまな用途に向けた集積回路を開発しており、スピントロニクス論理集積回路の省電力性の実証とその実用化に向けて、より一層の研究開発を進めていきます。

なお、東北大学と NEC は今回の成果を、6 月 11 日から 14 日まで、京都市で開催される半導体回路技術の国際学会「Symposium on VLSI Circuits (VLSI Circuits) 2013」において、13 日に発表します。

本成果の一部は、内閣府の最先端研究開発支援プログラム(題名:「省エネルギー・スピントロニクス論理集積回路の研究開発」、中心研究者:東北大学大野英男教授)によって得られたものです。

以上

- (注1) スピンとは、負の電荷を帯びた粒子である電子が持つ、小さな磁石の性質
- (注2) CAM (Content-Addressable Memory) とは、検索データと膨大な数の記憶データとの一致検出を一度に実行できる検索用ハードウェアの総称。TCAM (Ternary CAM) は、部分一致検索機能も実現できるより高性能な CAM。
- (注3) http://jpn.nec.com/press/201302/20130219_02.html
- (注4) ロジックインメモリとは、メモリ回路と論理回路を極近くに配置し、配線距離を短くすることで、データ転送の遅延と電力を最小限に抑えることが可能となるアーキテクチャ。ロジック混載メモリとも言う。
- (注5) CMOS 回路：回路を N チャンネル型と P チャンネル型の両タイプのトランジスタを組み合わせて構成したもの。
- (注6) MTJ: Magnetic Tunnel Junction: 磁気トンネル接合
- (注7) 最先端技術の中心研究者を選出し、その中心研究者を核にした研究開発によって、日本の国際競争力向上を目標とする国家プロジェクト事業。

<本件に関するお客様からのお問い合わせ先>

東北大学 省エネルギー・スピントロニクス集積化システムセンター

副センター長 笠井 直紀

電話：(022) 217-6115

E-Mail: n-kasai@csis.tohoku.ac.jp

URL: <http://www.csis.tohoku.ac.jp/>

NEC 知的資産 R & D 企画本部 広報グループ

URL: <http://www.nec.co.jp/contact/>

<本件に関する報道関係からのお問合せ先>

東北大学 省エネルギー・スピントロニクス集積化システムセンター

支援室長 門脇 豊

電話：(022) 217-6116

E-mail: yut-kado@riec.tohoku.ac.jp

NEC コーポレートコミュニケーション部 高橋・岡島

電話：(03) 3798-6511

E-Mail: mari-t@ct.jp.nec.com