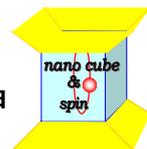


# 研究スタッフ

教授： 佐橋 政司、 准教授： 土井 正晶

助教： 三宅 耕作



## 研究目的

ナノメータサイズにまで絞り込まれた電子流ならびにスピン流経路における電子/スピン伝導の物理ならびに磁性を解明し、新たな電子デバイスの基礎原理を創造することに挑戦しています。このようなスピンナノ電子狭窄系デバイスが実現された暁には、HDDやMRAMなどの磁気ストレージ・メモリの高性能化・高機能化が可能となるのみならず、Intra-Chip、Inter-Chipワイヤレス信号伝送、アクティブ電子タグのようなユビキタスワイヤレスネットワーク、バイオスピントロニクス・センサー、新固体素子・デバイス、新電磁変換デバイス、ナノエネルギー変換デバイスなど情報通信、エレクトロニクス、エネルギー、メディカル・バイオ分野への新たな展開が期待されます。

## スピンナノ電子狭窄系デバイスの世界



# 主な研究テーマ

## スピナノ電子狭窄系のスピン伝導に関する研究

### 目的と背景

#### 社会インフラからの高密度磁気記録への期待

- ・大容量・高速ネットワークサーバ
- ・超高精細スーパーハイビジョン映像システム

10TB級の超大容量記憶の実現には、新たなナノテクノロジーを取り入れたデバイスの開発が必要。

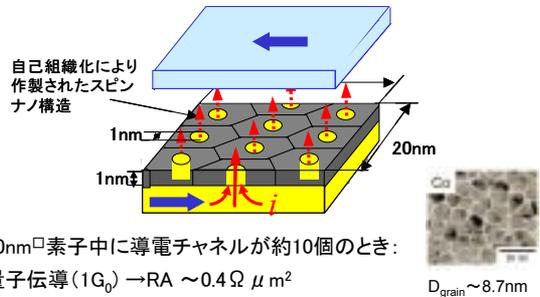
技術戦略マップ2007(ストレージメモリ分野のロードマップ)

2014年までには2.4Tbit/in<sup>2</sup>のHDDの開発が求められる。

年度	アナログ録写							スーパーハイビジョンシステム	実用放送
	2007	2008	2009	2010	2011	2012	2013	2014	
面記録密度 (Gbits)	~250	~340	~480	~600	~800	~1100	~1500	~2000	
再生幅	70nm	55nm	45nm	35nm	30nm	30nm	25nm	20nm	
MR技術	トンネル磁気抵抗効果素子			電流狭窄垂直通電型巨大磁気抵抗効果素子					
									ナノ狭窄磁壁型

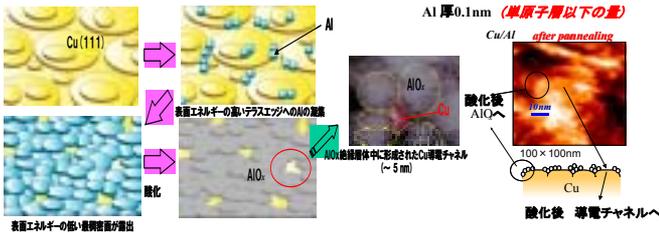
### ナノ狭窄構造薄膜とは

自己組織化とトップダウン加工の組み合わせによってデバイスとして安定したナノ狭窄領域を作り込んだ構造薄膜



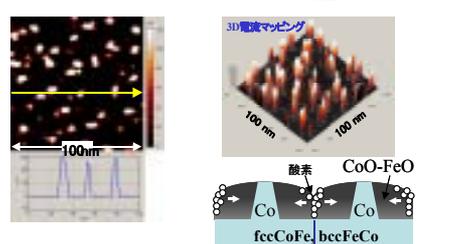
## スピナノ構造体(Nano-Oxide-Layer)の形成メカニズムの考察

### 1. Cu-AIO<sub>x</sub>NOL 自己組織化ナノパターニング



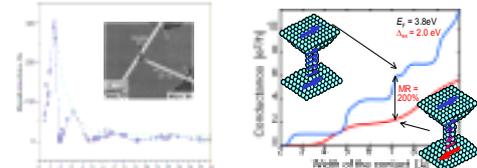
トップダウンプロセスでは不可能なチャンネル径とチャンネル間隔の実現

### 2. CoFe-NOL(粒内型)



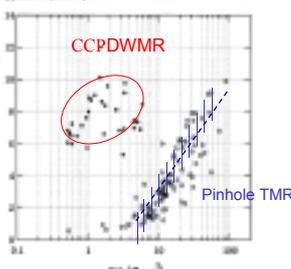
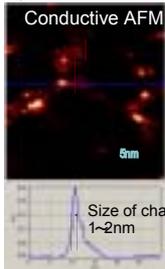
導電チャネル径: 3~7nm (まだ粒径分布が大きい)

## ナノ狭窄磁壁型MR原理の検証(世界初)



H. D. Chopra et al., Nature Materials (2005)

今村裕志ら, Phys. Rev. Lett. (2000)



$e$

$i$

1nm

1nm

1nm

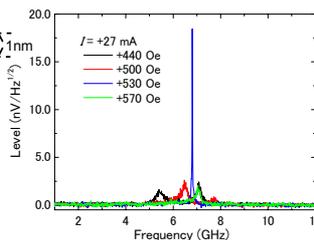
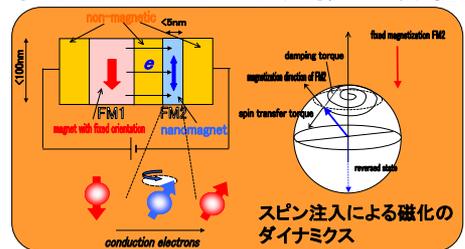
1nm

1nm

1nm

1nm

## 狭窄磁壁型マイクロ波発振(世界初)



素子サイズ: 0.4×0.4 μm<sup>2</sup>

電流密度: ~1×10<sup>7</sup> A/cm<sup>2</sup>

MgOトンネル型素子より強いスピントランスファートルク (STT)発振強度を示す。

自己組織化ナノパターニングによるナノ狭窄磁壁の作製と磁気抵抗比の測定に成功。10%の磁気抵抗比を得た。

従来は50nmほどの微細な素子でしか確認されていないSTTマイクロ波発振を、1 μm程度の作製容易な素子で確認することに成功した。