

研究スタッフ

教授： 梶井 昇一

研究目的

マイクロアーキテクチャ研究部では、ワイヤレス・システム等への応用を念頭にした、**Mixed-Signal SoC**のアーキテクチャ・回路設計、および、その設計生産性の向上を研究開発の対象にしています。

1個のICチップにシステムを構成するSoCでは、RF/アナログ回路とデジタル回路を混載（Mixed-Signal）してシステムを構築し、全体として低価格・低消費電力化を実現することが最も大きな技術課題となっています。

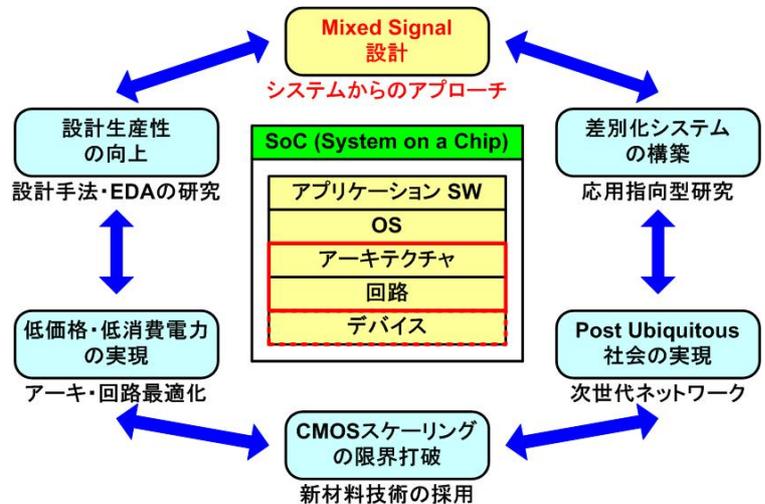


図1 Mixed-Signal SoC 研究の様相

加えて、CMOSテクノロジーにおけるスケールングの問題（リークによる消費電力増加、ソフトエラー）を解決する手法として、強誘電体メモリの応用について研究します。

主な研究テーマ

1. 強誘電体メモリ(FeRAM)の応用

強誘電体メモリ(FeRAM)は、図2に示したPZT(ジルコン酸チタン酸鉛)などの強誘電体材料を使用した、不揮発メモリです。フラッシュメモリと比較し、高速書き換えが可能なことや、トランジスタ特性が標準CMOSと完全なコンパチビリティを持つことから、**不揮発SoCに適したメモリ**と言えます。

FeRAMによるSoCの特色は、図3に示したように、種々の基本蓄積素子の使い分けにより、面積、速度、消費電力の諸特性を、システム要求に合わせて最適化できることにあります。本研究部では、不揮発Mixed-Signal SoCの実現に向けて、基礎回路とその応用分野の研究を行います。

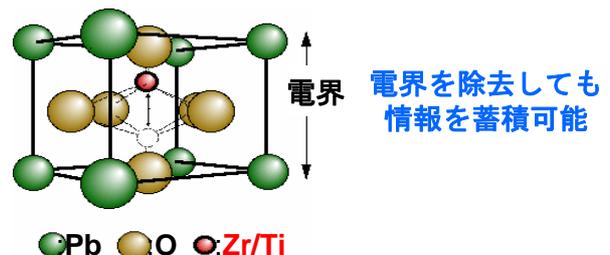


図2 PZTの結晶構造

	不揮発FF	不揮発SRAM	2T2C	1T1C
メモリ素子構造				
セル・サイズ	大 → 小			
読み出し速度	10nsec以下	10nsec以下	30~250nsec	30~250nsec
書き換え速度	揮発:10nsec 不揮発:100nsec	揮発:10nsec 不揮発:100nsec	30~250nsec	30~250nsec
書き換え回数	無制限	無制限	10 ¹⁰ ~10 ¹²	10 ¹⁰ ~10 ¹²
消費電力	極めて小さい	小さくできる	比較的高い	比較的高い
データ保持	10年	10年	10年	10年
応用分野	Mixed-Signal	PLD(FPGA)	RFID	汎用メモリ スマートカード

図3 FeRAMの基本蓄積素子と応用分野

2. ワイヤレスSoCアーキテクチャ・回路設計の研究

Mixed-Signal SoCのアーキテクチャを検討するためには、応用するシステムや、RF/アナログ回路とデジタル回路の両者の特徴や設計手法を熟知することが基本となります。

スケールされたCMOS技術を使用してMixed-Signal SoCを実現する場合、大規模なデジタル回路は、実績のある設計手法で設計できるのに対し、RF/アナログ回路は、低電圧化や相対ばらつき増加の影響によって、要求される特性を実現することが困難になってきています。

そこで、高精度のRF/アナログ回路が得られなくとも、**デジタル回路を利用してRF/アナログ特性を補償する技術**が有効となってきます。我々は、図4に示すワイヤレス・トランシーバSoCの研究において、デジタル補正技術の適用を行いました。こうしたアプローチを展開し、Mixed-Signal SoCの高性能化・低価格化をめざしていきます。

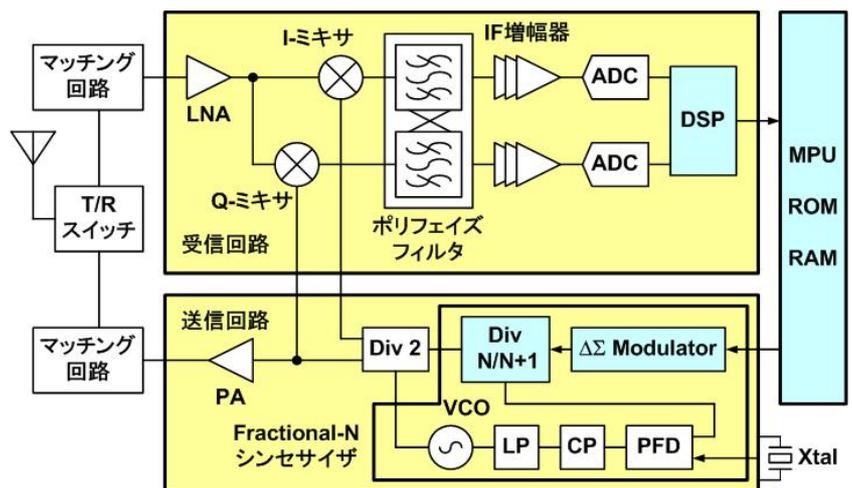


図4 ワイヤレス・トランシーバSoCの構成

3. Mixed-Signal設計手法の研究

図5に、Mixed-Signal SoCの設計手法の概念をまとめました。上述したように、デジタル部では、仕様からフィジカル・レベルのゲート・回路までが、トップダウン手法を用いて設計できるようになってきました。しかしながら、RF/アナログ部については、ボトムアップ手法が主流となっています。

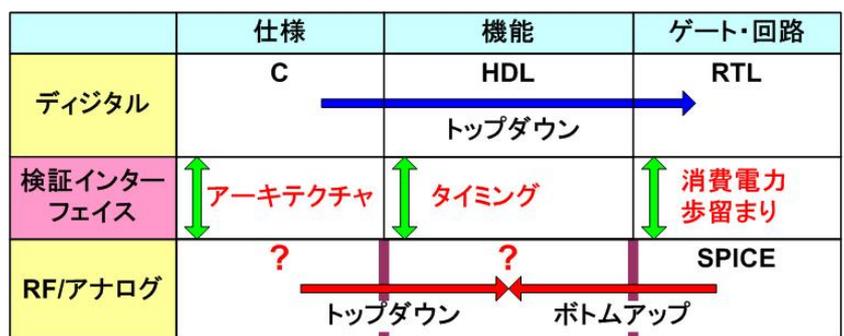


図5 Mixed-Signal設計手法

高性能なRF/アナログ回路を実現するためには、従来から使用されているボトムアップ手法が有効です。しかしながら、Mixed-Signal SoCを早期に開発するためには、デジタル回路で採用されている、トップダウン設計や設計再利用といった設計生産性向上のための手法の確立が不可欠です。

そこで、本研究部では、**RF/アナログ回路設計におけるトップダウン設計手法の研究**を、実際の回路設計と並行して実施し、得られた知見を公開していきたいと考えています。