

# 研究スタッフ

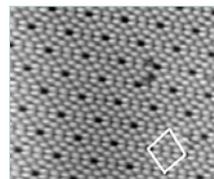
教授： 伊藤 隆司

助教授： 小谷 光司

助手： 黒木 伸一郎

## 研究目的

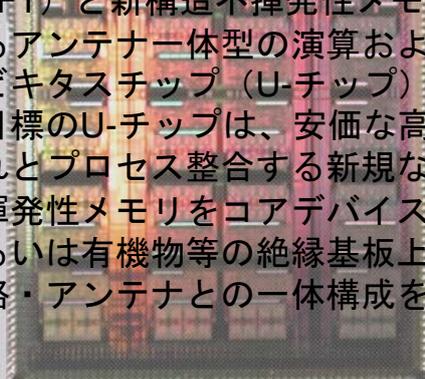
現代社会において、半導体デバイスは情報化社会基盤を支える要であり、これから迎えるユビキタス (ubiquitous) 社会においてはその重要性が益々増大すると考えられる。当研究室では、ユビキタス社会を支える半導体デバイス集積回路を研究対象とし、シリコン・ナノエレクトロニクス技術を、材料物性・プロセス・デバイス、回路・アーキテクチャ・アルゴリズムから総合的かつ融合的に研究を行っている。ユビキタス社会における必須のアプリケーションであるRFIDタグ (Radio Frequency Identification) や、現在の集積回路技術の限界を打ち破る3次元集積システムLSIなどの研究を行っている。



## 主な研究テーマ

### 1. 薄膜トランジスタを用いる高機能RFIDユビキタスチップの研究

RFIDタグの最大の課題であるコストブレークスルーを目指し、薄膜トランジスタ (Thin Film Transistor, TFT) と新構造不揮発性メモリをコアデバイスとするアンテナ一体型の演算および記憶機能を有するユビキタスチップ (U-チップ) を開発している。研究目標のU-チップは、安価な高性能シリコンTFTとそれとプロセス整合する新規な書き換え可能TFT型不揮発性メモリをコアデバイスとし、安価なガラスあるいは有機物等の絶縁基板上で演算制御・記憶回路・アンテナとの一体構成を行う。



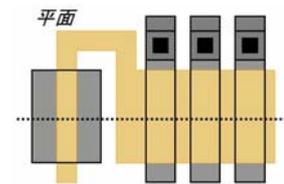
ガラス/フレキシブル基板上のユビキタスチップ

	1 <sup>st</sup> gen.: Mass Production	2 <sup>nd</sup> gen.: Under Development	3 <sup>rd</sup> gen.: Future
Grain Size ( $\mu\text{m}$ )	< 0.3 $\mu\text{m}$	4 - 7 $\mu\text{m}$	> 10 $\mu\text{m}$
Crystallization Method	ELA, CGS	PM-ELA, CLC, SELAX, TS-SLS	*プラズマ CVD (Plasma CVD)
Gate Dielectric	PE-CVD	Plasma Oxidation + PE-CVD (STUCKED CVD)	Plasma Oxidation + PE-CVD (STUCKED CVD)
Gate Length ( $L_g$ )	3 - 4 $\mu\text{m}$	1 $\mu\text{m}$	< 1 $\mu\text{m}$
$\mu_{\text{eff}}$ (nMOS)	100-200 $\text{cm}^2/\text{Vs}$	300-500 $\text{cm}^2/\text{Vs}$	> 600 $\text{cm}^2/\text{Vs}$
$R_c$ vs. $L_g$	$R_c \ll L_g$	$R_c < L_g$	$R_c \gg L_g$

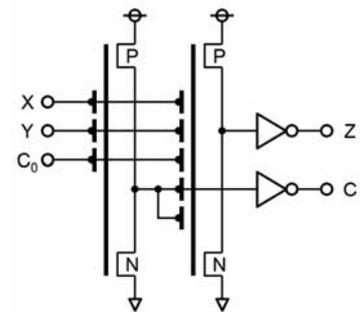
TFT世代と薄膜シリコン結晶化技術

## 2. 配線層に知的演算・記憶機能を持たせる 3次元集積システムLSIの研究

多入力知的演算機能を備えたフローティングゲート4端子デバイス技術と、三次元集積化による高密度ネットワーク信号配線構築が可能な薄膜トランジスタ技術を融合し、究極の知的システムである脳の機能に漸近する高密度高機能エレクトロニクス集積回路システムを構築する事を目的としている。さらに、絶縁膜上に積層する構造のTFTデバイス技術と融合するための最適デバイス構造設計、トランジスタ性能を従来のバルクデバイスと同等レベルに高めるためのプロセス技術研究を実施し、将来的に3次元集積可能なTFT4端子デバイス集積回路技術を確立する。

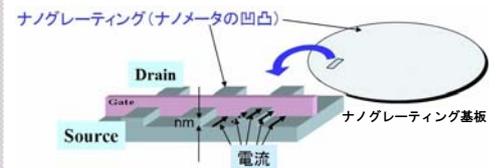


ボトムカップルTFT4端子デバイス

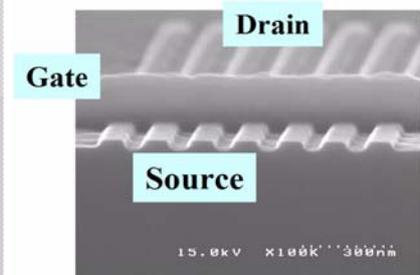


## 3. TFT高性能化のためのナノグレーティング表面制御の研究

基板全面あるいはチップ領域面にナノメータレベルの凹凸溝（ユニバーサル・ナノグレーティング）を設け、占有面積を変えずに電流通路（チャンネル）を拡大する（ $\alpha > 1$ ）ことによってTFTトランジスタの駆動力  $\alpha \cdot g_m$  を増大させ、TFT集積回路の性能向上を実現する。ナノグレーティングの溝凹凸方向をTFTトランジスタのチャンネル方向と一致させることが要件となるが、従来のTFT製造工程をほとんど変更することなく、巨額の投資によって設備した既存の量産工場をそのまま活用することができ、性能的に差別化を行うことができる。



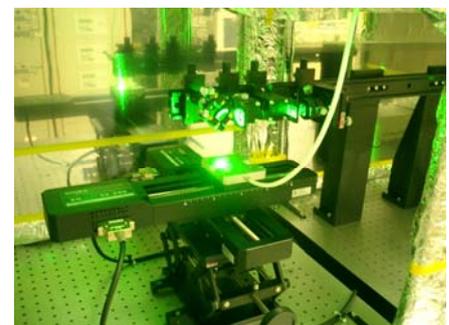
ナノグレーティング上に作製するTFTデバイス



試作トランジスタ：凹凸段差 25 nm, ピッチ 75 nm

## 4. レーザー再結晶化法によるシリコン薄膜結晶成長の研究

2次元結晶成長シリコン薄膜の基礎的な結晶成長過程を解明し、これを薄膜トランジスタ（TFT）に適用しデバイスの高性能化・低電圧化を行う。TFTデバイスの高性能化にはシリコン薄膜の結晶性向上が必須であり、また低電圧化のためにはシリコンを極薄膜化し閾値電圧を低下させる必要がある。その為に、薄膜一面にわたる2次元結晶成長法を提案し、またシリコン結晶薄膜の面方位制御を行う。



シリコン再結晶化装置の外観