

# 研究スタッフ

教授： 梶井 昇一

## 研究目的

マイクロアーキテクチャ研究部では、ワイヤレス・システム等への応用を念頭にした、**Mixed-Signal SoC**のアーキテクチャ・回路設計、および、その設計生産性の向上を研究開発の対象にしています。

1個のICチップにシステムを構成するSoCでは、RF/アナログ回路とデジタル回路を混載（Mixed-Signal）してシステムを構築し、全体として低価格・低消費電力化を実現することが最も大きな技術課題となっています。

また、CMOSテクノロジーのスケールリング（微細化）はデジタル回路の低消費電力化には役立ちますが、アナログ回路にとっては利得の低下、ダイナミック・レンジの低下など多くの問題を生じており、この問題の解決も重要な研究テーマです。

## 主な研究テーマ

### 1. Mixed-Signal Platformの実現: Post Digitally Assisted Analog

Mixed-Signal SoCを実現するアーキテクチャとして、右図に示す**Mixed-Signal Platform**を提案しています。

従来のデジタル・アシスト型アナログ回路は、デジタル回路による補正技術による、アナログ回路の不完全性を克服するアプローチがとられていましたが、デジタル回路の設計負荷が大きくなっていました。

そこで、IP Reuse、BISTなどのデジタル回路設計のコンセプトを取り入れ、大幅なSoC設計生産性の向上と低コスト化を実現するのが、Mixed-Signal Platformです。

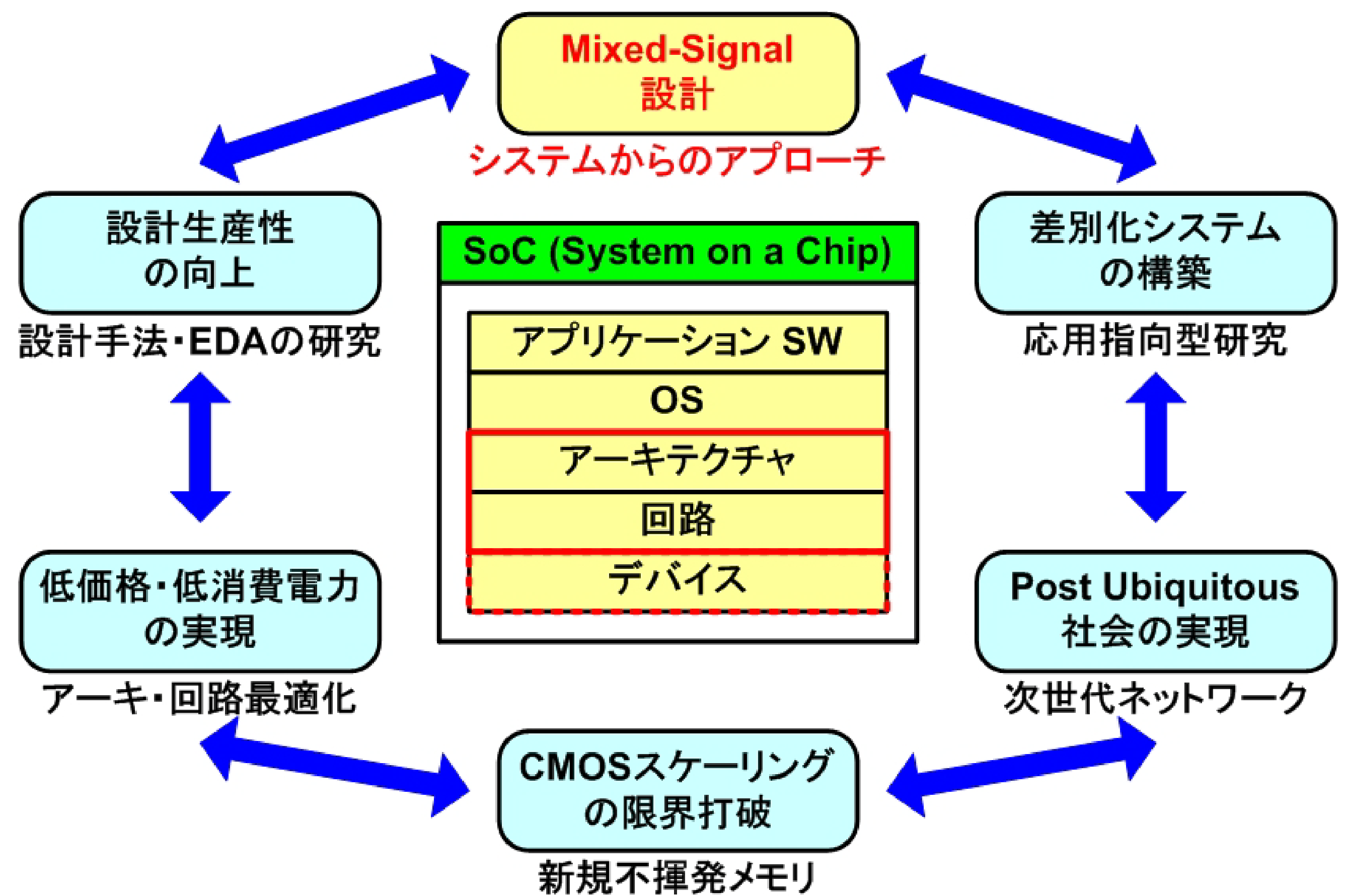


図1 Mixed-Signal SoC 研究の様相

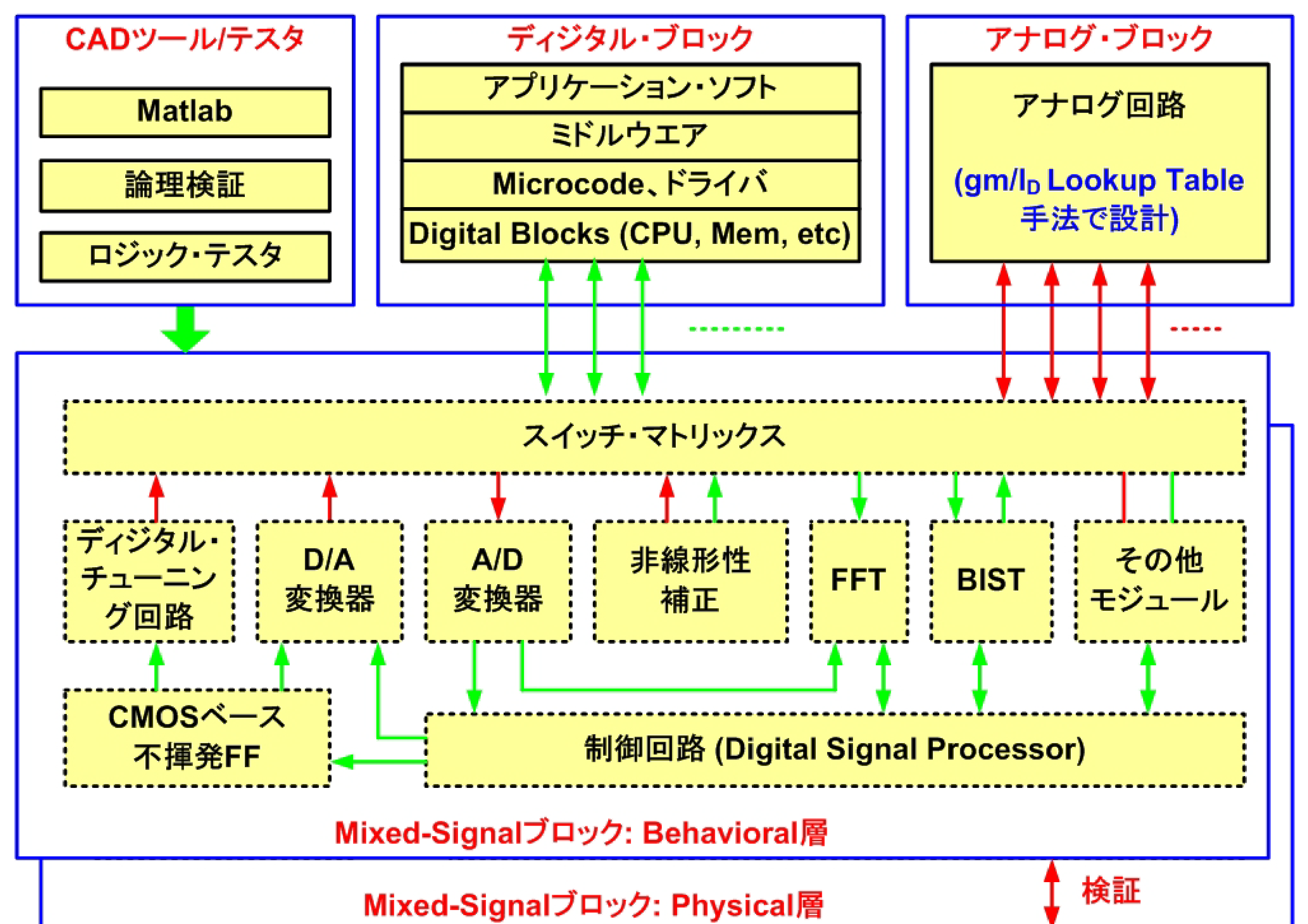


図2 Mixed-Signal Platformの構成案

## 2. アナログ設計手法の高度化: gm/Idルックアップ・テーブル法

Mixed-Signal SoCの設計生産性を向上する手法として、**gm/Idルックアップ・テーブル法**によるアナログ回路最適化設計の研究を進めています。gm/Idは、電流供給量に対して、どれだけgmに変換できるかという電流効率の指標で、スケージングが進む今後、低消費電力化設計の基礎となる設計パラメータであると考えています。

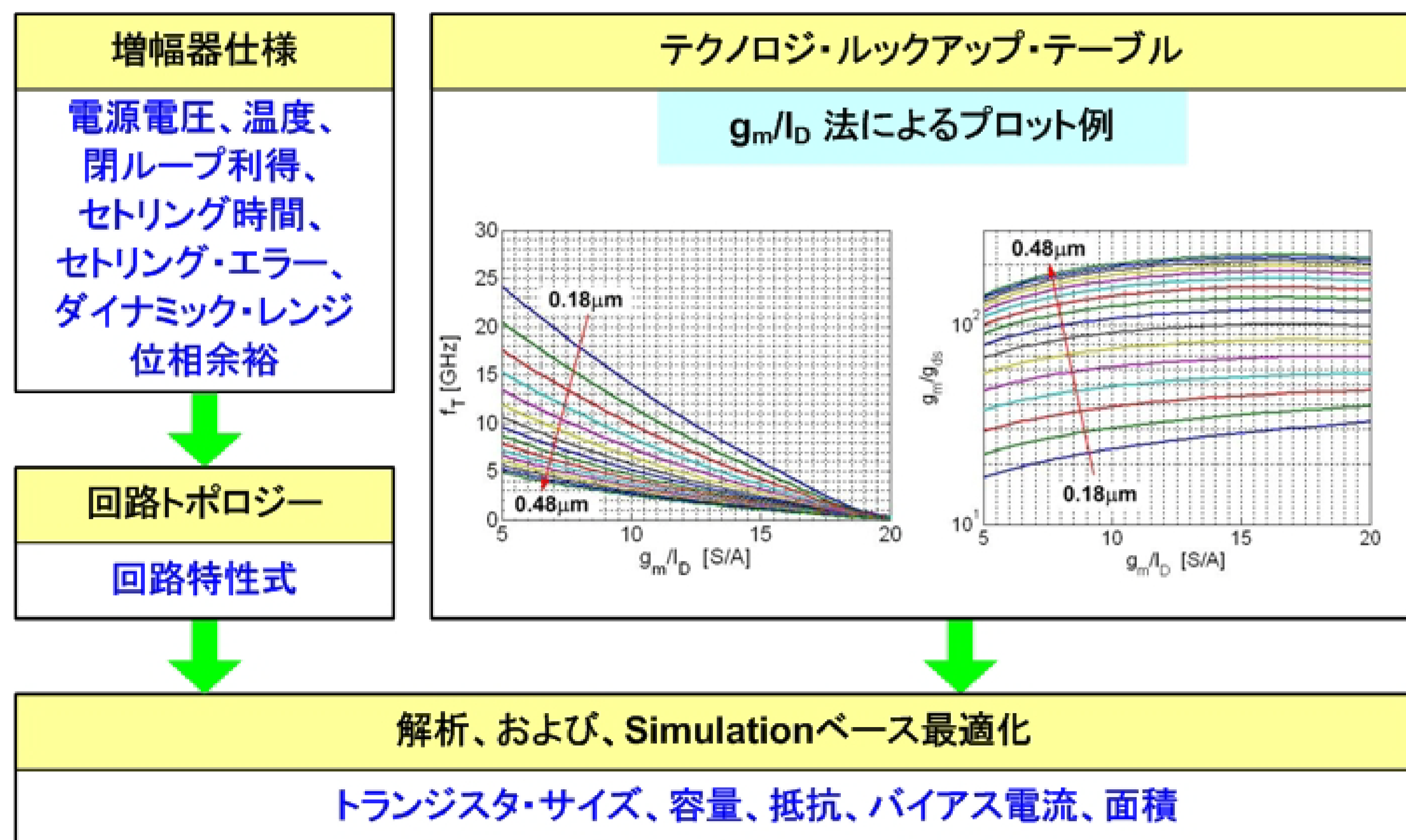


図3 gm/Idルックアップ・テーブル法の概要

図3は、汎用的な増幅器の仕様と回路トポロジーから、gm/Idルックアップ・テーブルをベースとして、最適化されたトランジスタ・サイズ、容量、抵抗、バイアス電流、面積を求める、全体最適化の概要を示しています。我々は、高利得・高速性ながら複雑なトポロジーを持つ、演算増幅器の設計最適化に取り組んでいます。

また、この手法では、テーブルを置き換えることにより、アナログ回路を異なるテクノロジーへ自動的に移行することが可能となります。

## 3. 無線トランシーバ設計への応用

我々のめざす応用として、ワイヤレス・センサー・ネットワークなどに応用可能な**低消費電力トランシーバ**を考えています。図4は、我々が開発に加わったトランシーバのチップ写真です。

本トランシーバでは、製造ばらつきによる特性変動が課題となる、アクティブRC型複素バンドパス・フィルタに関し、特性を自動補正できる**デジタル・チューニング回路**を搭載しています。こうしたアナログ特性のばらつきを補正する回路ブロックも、Mixed-Signal Platformの重要な構成要素です。

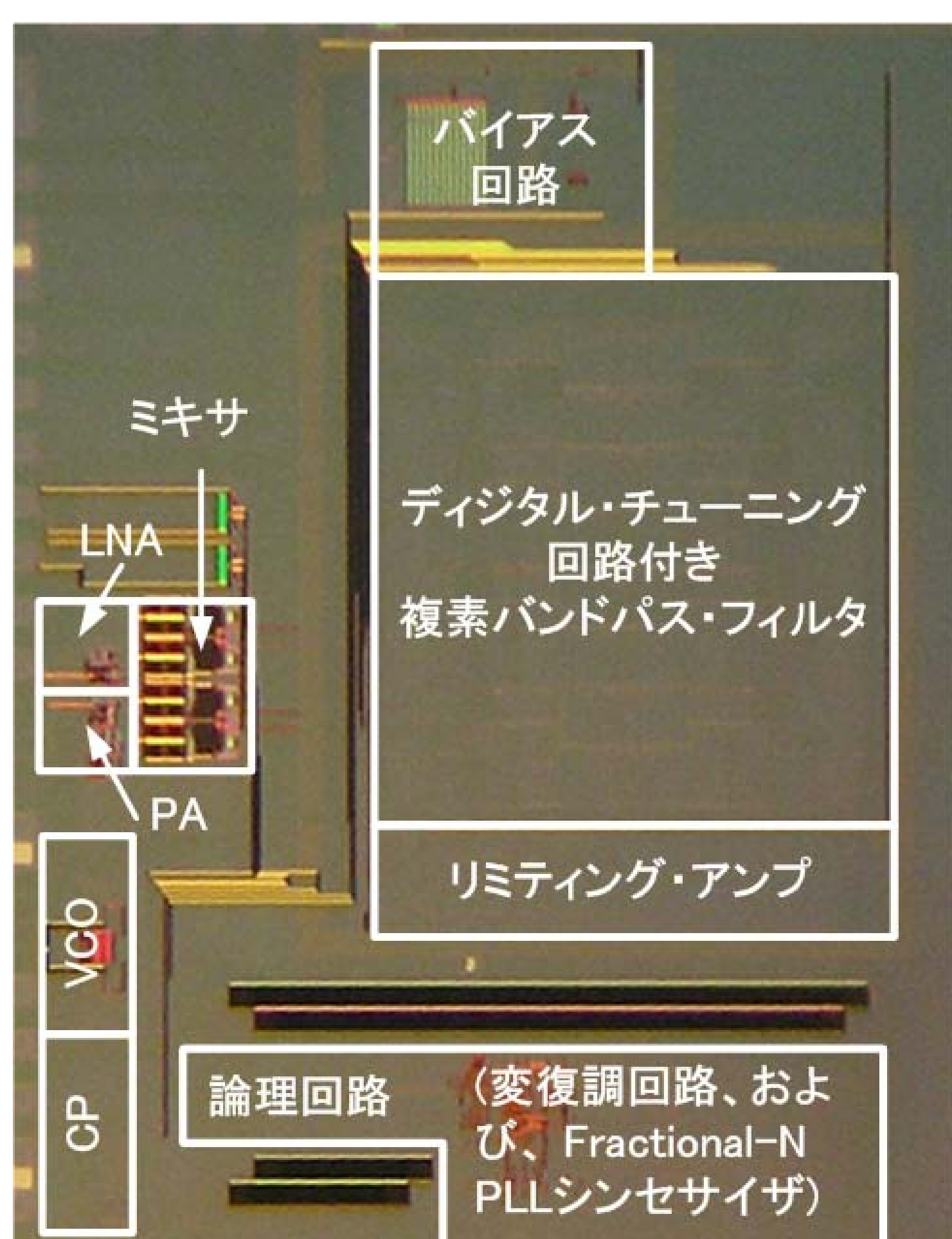


図4 低消費電力無線トランシーバ

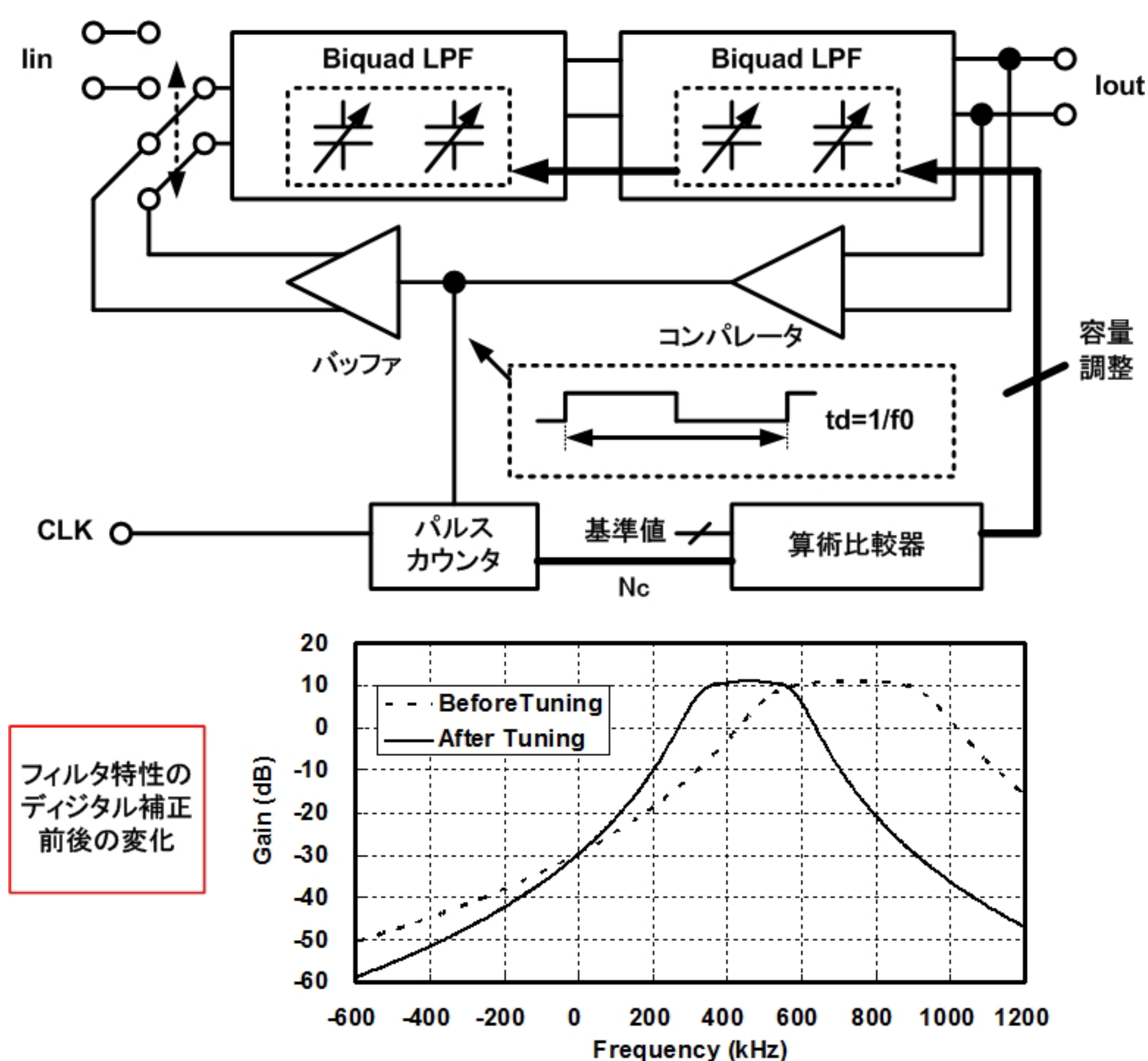


図5 デジタル補正の概要