

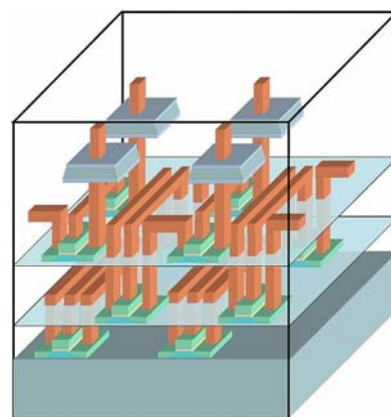
研究スタッフ

教授：伊藤 隆司、 准教授：小谷 光司

助教：黒木 伸一郎、 助教：田主 裕一郎

研究目的

新世代の情報ユビキタスネット社会に対応し得る画像情報処理技術や通信技術等に適用し得る、知的演算および記憶機能を有する超小型立体型チップを研究開発し、快適で安全な社会の実現に貢献する。そのために高性能トランジスタを三次元的に自由に配置し、高密度三次元配線技術と融合させ、究極の知的システムである脳の機能に漸近する高密度高機能三次元集積回路システムを構築する。シリコン・ナノエレクトロニクス技術を、材料・プロセス・デバイス、回路・アーキテクチャ・アルゴリズムから総合的かつ融合的に研究を行っている。



高密度高機能3次元集積回路システム

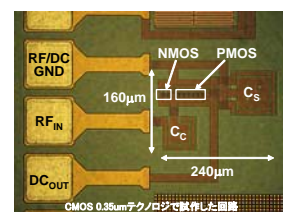
主な研究テーマ

1. 薄膜トランジスタを用いる高機能RFIDユビキタスチップの研究

RFIDタグの最大の課題であるコストブレークスルーを目指し、絶縁基板上に作製した高性能薄膜トランジスタ(TFT、Thin Film Transistor)と新構造不揮発メモリをコアデバイスとするアンテナ体型の演算および記憶機能を有するユビキタスチップ(U-チップ)を開発している。研究目標のU-チップは、安価な高性能シリコンTFTとそれとプロセス整合する新規な書き換え可能TFT型不揮発メモリをコアデバイスとし、安価なガラスあるいは有機物等の絶縁基板上で各種要素回路・記憶回路とアンテナとを一体構成を行う。



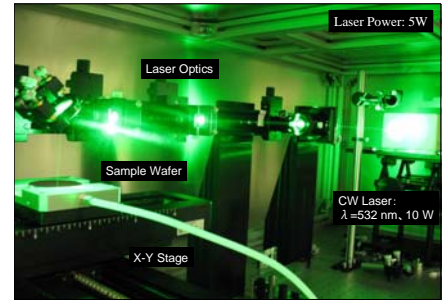
ガラス/フレキシブル基板上のユビキタスチップ



RFIDのための高効率電源回路

2. レーザ再結晶化シリコン薄膜による高性能TFTの研究

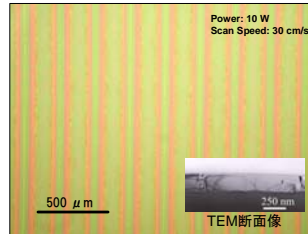
CWレーザー結晶化法により1次元結晶成長シリコン(Si)薄膜を作製し、これを薄膜トランジスタ(TFT)に適用することで、デバイスの高性能化を行っている。石英基板上のa-Si薄膜のレーザー結晶化を行い、 $20 \times 2 \mu\text{m}$ の1次元の広がりをもつ巨大グレインを形成することができた。1次元ラテラル結晶グレインをチャンネルにもつTFTを試作し、電子移動度 $400 \text{ cm}^2/\text{V} \cdot \text{s}$ を達成した。



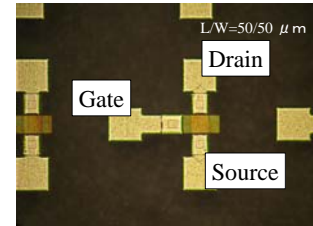
連続波レーザー再結晶化装置

	1 st gen.: Mass Production	2 nd gen.: Under Development
Crystallization Method	Excimer Laser Annealing (ELA)	Continuous-wave Laser Lateral Crystallization (CLC)
Grain Size	< $0.3 \mu\text{m}$	$4 - 7 \mu\text{m}$
Electron Mobility μ_{eff} (NMOS)	100 - 200 cm^2/Vs	300 - 500 cm^2/Vs
TFT Image	 Small grains	 Long and narrow grains

TFT世代と薄膜シリコン結晶化技術



レーザー連続照射処理後シリコン薄膜



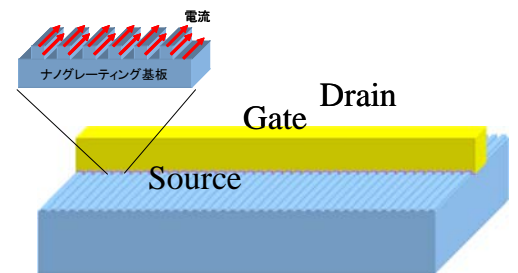
ラテラル結晶Si薄膜による薄膜トランジスタ

3. ナノグレーティングチャンネルによるFET駆動力向上の研究

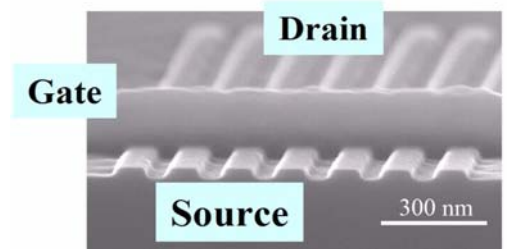
基板全面あるいはチップ領域面にナノメートルレベルの凹凸溝(ユニバーサル・ナノグレーティング)を設け、占有面積を変えずに電流通路(チャンネル)を拡大する($\alpha > 1$)ことによってトランジスタの駆動力 $\alpha \cdot G_m$ を増大させ、さらに歪効果を利用したキャリア移動度の増大を利用し性能向上を実現した。CMOSのチップ面積縮小に有効である。従って集積回路の性能向上を実現する。従来のLSI製造工程をほとんど変更することなく、既存の量産工場をそのまま活用することによって性能的に差別化を行うことができる。

ナノグレーティングによるCMOS面積縮小効果 ($L=0.25 \mu\text{m}$)

	Nano-grating		Conventional	
	n	p	n	p
G_m (mS/ μm)	0.72	0.38	0.59	0.22
Relative transistor area	0.82	1.55	1	2.68
p/n MOSFET area ratio	1.89		2.68	
Relative CMOS inverter area	0.64		1	



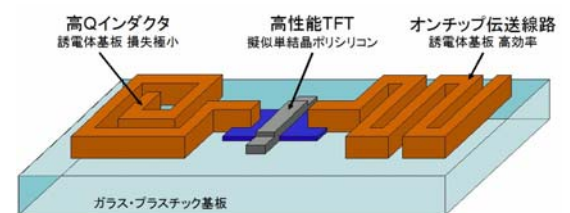
ナノグレーティング上に作製するLSIデバイス



試作トランジスタ: 凸凹段差 25 nm, ピッチ 75 nm

4. 高性能TFTデバイスを用いたコストイフェクティブRF集積回路の研究

CWレーザー結晶化法による高性能TFTを、ガラス等の誘電体基板上で低損失(高Q値)のインダクタンスや容量、伝送線路と集積化し、コストイフェクティブな高性能RF集積回路を実現する。さらに、必要な場所のみ必要な薄膜を形成し、必要な薄膜形成・改質処理も必要な部分のみに適応する新しい概念である「領域選択プロセッシング」技術により、更なる低コスト化を目指す。



絶縁体基板上的RF受動素子