

21世紀情報通信研究開発センター

(組織)

組 織

センター長(教授) : 坪内 和夫

技術職員 : 寒河江克巳

企画開発部

研究開発部



ディペンダブルワイヤレスシステム・デバイスの開発

代表・教授(兼) : 坪内和夫

教 授 : 高木 直

客員教授 : 岩田 誠

超高速大容量ストレージシステムの開発プロジェクト

代表・教授(兼) : 村岡裕明

教 授 : 藤本和久

客員教授 : 青井 基

准教授 : 島津武仁

客員准教授 : 山川清志

代表的設備

▼ 超高速無線端末用 SiP 実装システム



▼ 高密度ストレージ熱緩和特性測定装置



▲ 110GHz デバイス評価システム

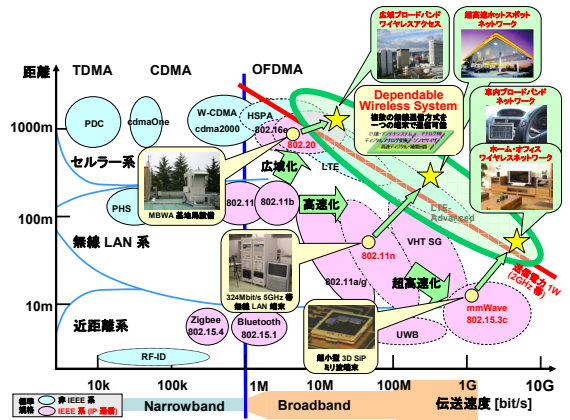


▲ 超高感度リーダ用超高真空製膜装置

ディペンダブルワイヤレスシステム・デバイスの開発 (研究代表者: 坪内 和夫)

DWN: Dependable Wireless NGN
DWS: Dependable Wireless System

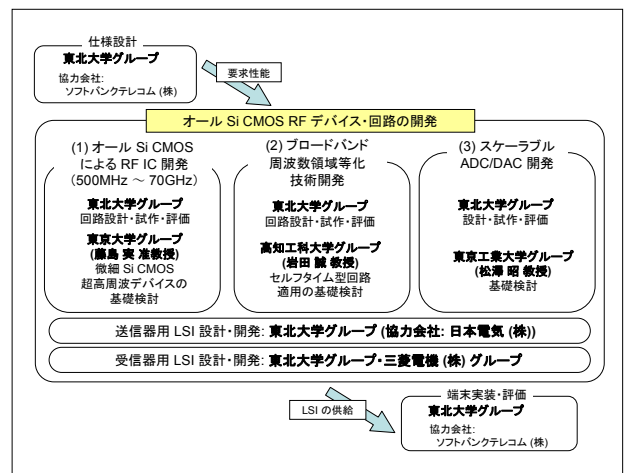
広域・超高速ワイヤレスアクセスを実現するために、複数の無線通信システムを統合し、伝送距離・通信速度・消費電力・QoS の最適制御を行うディペンダブル Wireless NGN LSI の実現を目指します。



周波数領域等化補償の適用などにより低 BER を実現するブロードバンド・オールシリコン Mixed Signal CMOS チップセット開発を行います。高速移動と超高速通信速度を両立する無線端末の実現に寄与します。

研究チーム体制

- 研究代表者:**
坪内 和夫 (東北大学 教授)
- 研究分担者:**
松澤 昭 (東京工業大学 教授)
岩田 誠 (高知工科大学 教授)
藤島 実 (広島大学 教授)
- 三菱電機株式会社
協力企業:
日本電気株式会社
ソフトバンクテレコム株式会社 ほか



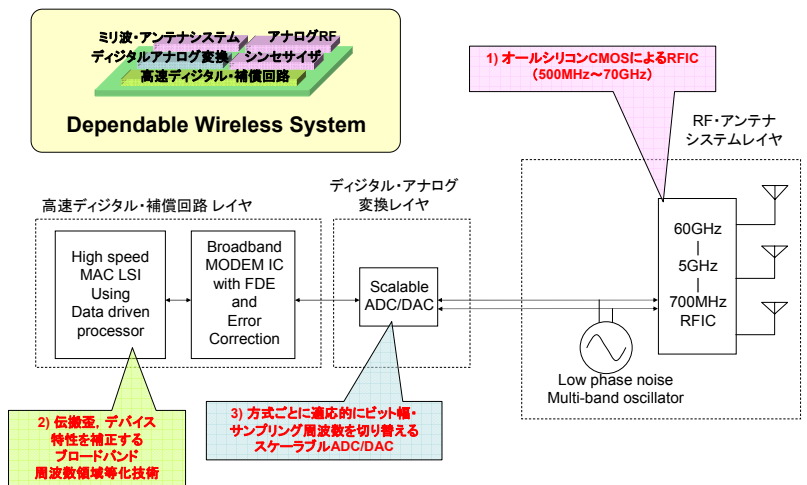
準備状況

文部科学省 RR2002 (IT プログラム)
次世代モバイルインターネット端末の開発 (2002-2007)

- ・1Gbit/s 超 高速無線アクセスの実現
- ・5mm 角超小型 無線通信端末の実現
- ・無線通信規格標準化への 技術提案・委員会参加
 - 1) IEEE802.11n 無線 LAN
 - 2) IEEE802.15.3c 無線 PAN
 - 3) IEEE802.20 MBWA

研究内容・開発項目

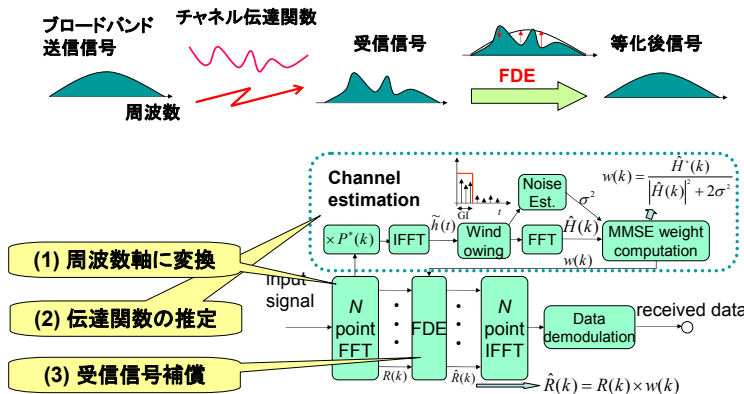
- (1) オールシリコン CMOS RFIC (500MHz~70GHz)
- (2) 伝搬歪, デバイス特性を補正するブロードバンド周波数領域等化技術
- (3) 方式ごとに適応的にビット幅・サンプリング周波数を切り替える
スケーラブル ADC/DAC



研究成果

ブロードバンド周波数領域等化 (FDE) 技術

FPGA 実装: ハードウェアで初めて実装・検証



FDE の FPGA への実装・評価

- (1) 伝搬路推定回路, (2) 伝搬路補償回路, (3) 同期回路の実装

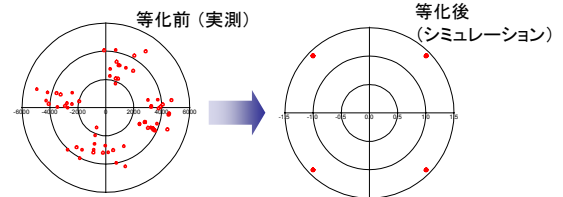
FDE の ASIC への実装

	面積 (mm ²)	ゲート数
FFT	2.0	45.2K
Estimation	1.8	64.8K
Division	0.15	2.5K
RAM	0.38	2.6K
Total	4.4	115K

Process: STM 0.18μm CMOS

FDE の ASIC への実装・評価

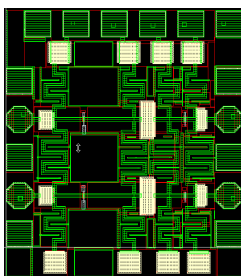
- (1) 伝搬路推定回路, (2) 伝搬路補償回路, (3) 同期回路の実装



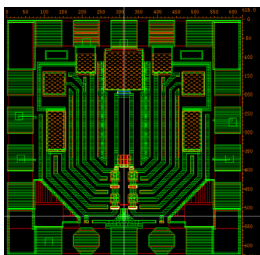
ミリ波デバイス特性改善への FDE の適用
デバイス補償方式の評価 (シミュレーション)
60GHz 帯・帯域幅 250MHz 信号の補償

オールシリコン CMOS による RFIC

Si CMOS 90nm プロセスを用いた試作・評価



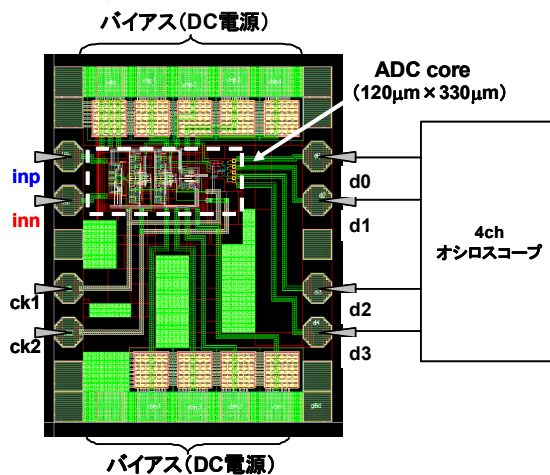
60GHz 帯
パワーアンプ
Process:
TSMC 90nm CMOS
Size: 698μm × 618μm



60GHz 帯 VCO
Turning range (設計):
54~61.26 GHz
Process:
TSMC 90nm CMOS
Size: 625μm × 625μm

スケーラブル ADC/DAC

広帯域・低消費電力スケーラブル ADC の設計・試作・評価



電流モードパイプライン型スケーラブル ADC 開発

超高速大容量ストレージシステムの開発

(サブリーダー:村岡裕明)

研究開発の概要



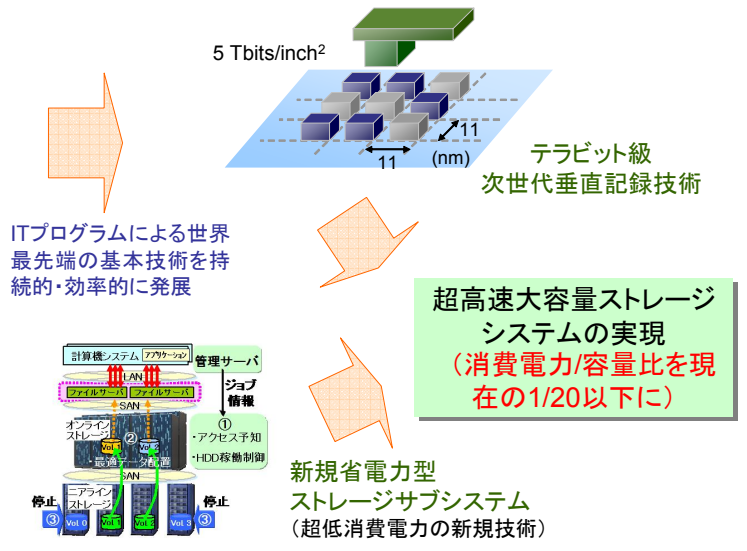
・世界最高密度の超小型垂直HDDで培った高密度ドライブ技術
・高度な記録理論をベースにした記録方式の設計技術



世界最高の高磁気異方性CoPt等を用いた垂直パターン媒体の要素技術



高感度再生ヘッド用スピン蓄積素子(世界最高出力)



1. テラビット級次世代垂直記録技術

- ・ 5Tbits/inch²を達成するための**基本要素技術の提案**
(申請時の実用記録密度の10倍 ⇒ 必要台数を1/10)

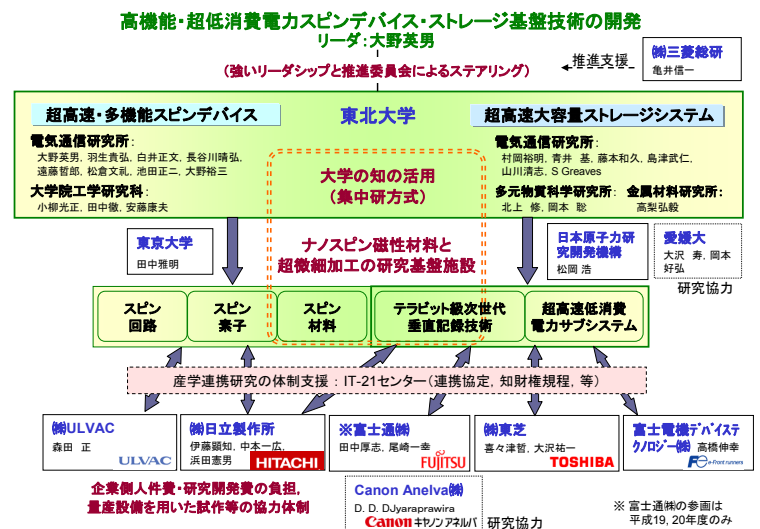
2. 新規省電力ストレージサブシステム

- ・ 新規省電力システムにより性能を落さずに**消費電力を1/2**

消費電力/容量比を申請時の1/20以下に

産学官連携体制

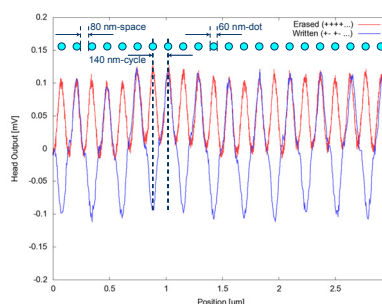
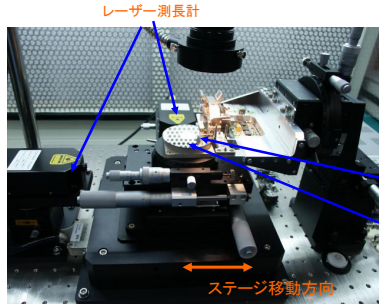
- ・ 産学の連携協定, 知財権規程等を企業と締結し, 効率的な産学連携研究を実施できる枠組みを構築.
- ・ 各社の研究員をIT21センターに派遣した集中研方式による大学の知の活用と, 企業における最先端加工装置を用いた試作
- ・ 日立製作所、東芝、富士電機デバイステクノロジー、JAEA等との連携を通し、我が国の国際競争力の強化を図る。



研究開発の成果

1. テラビット級次世代垂直記録技術

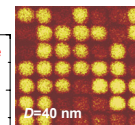
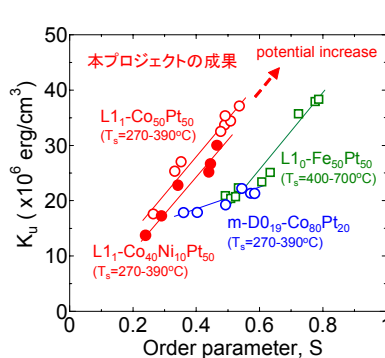
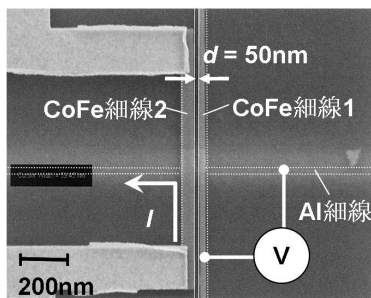
(1) 次世代垂直記録方式



左図: 実験検証に用いるスタティックテスト
右図: 記録再生波形の例

- ・ 2Tbits/inch²の記録方式の提案(中間目標): シミュレーションによる方式設計は終了。記録再生特性の実験検証を展開中。
- ・ 5Tbits/inch²(最終目標)に向けた解析を開始

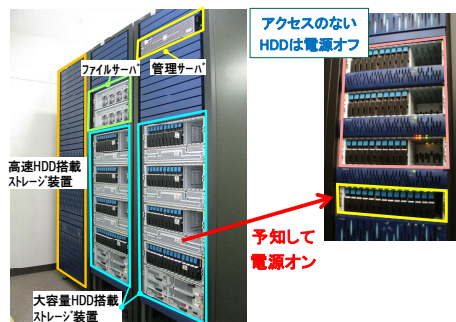
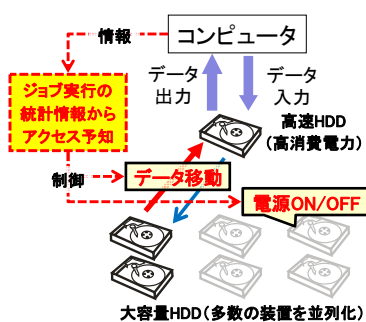
(2) ヘッド・媒体の要素技術開発



左図: 超微細構造非局所素子(アルミナ障壁)
右図: 低温で形成可能なL1₁材料(赤)の、従来材料(緑)を超える磁気異方性ポテンシャルとドットの基礎物性

- ・ スピン蓄積効果による世界最高出力の導出(高感度化)(超微細構造非局所素子)
- ・ 新しい高磁気異方性(媒体用)材料の開発に世界で初めて成功 (L1₁型Co基規則合金膜. NEDOプロジェクトへの成果の受け渡しを並行して実施)

2. 新規省電力ストレージサブシステム



左図: 新規省電力アーキテクチャのモデル図
右図: 試作したサブシステムとその電源制御

- ・ 試作サブシステム(容量64TB)上での一次省電力検証完了
- ・ 実用的な容量1PBで消費電力1/2以下に削減の見込み (省電力検証結果に基づく、新省電力アーキテクチャの消費エネルギー試算)