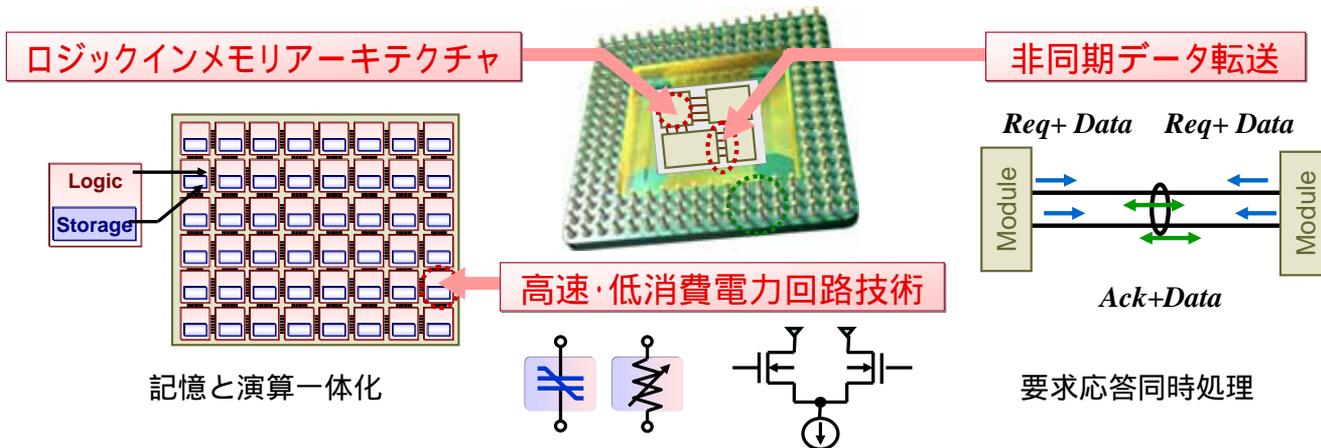


研究スタッフ

教授： 羽生 貴弘 助手： 望月 明

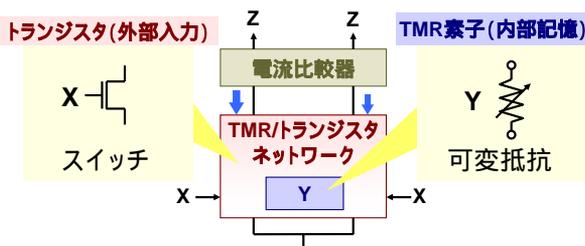
研究目的

スーパーコンピュータの演算能力を1チップに！ → 新概念アーキテクチャ・回路技術

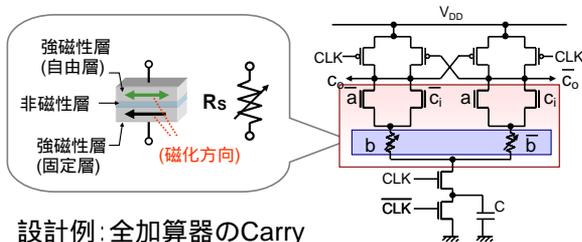


1. 不揮発性デバイスを用いたロジックインメモリVLSI

TMR素子に基づくロジックインメモリ回路技術



- トランジスタおよびTMR素子で演算ネットワークを構成
- 電流比較器で電流差分を検出し出力を生成する

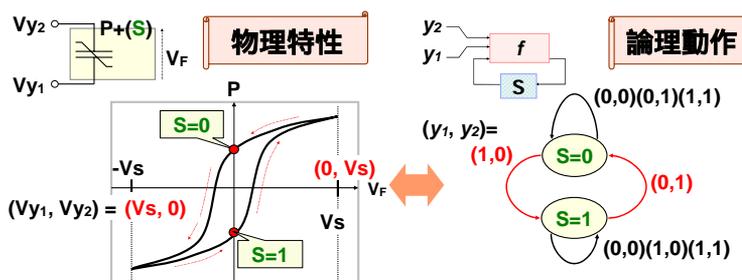


設計例：全加算器のCarry

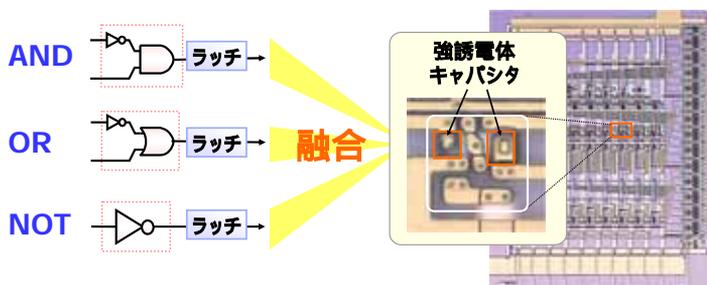
	CMOS回路	提案回路
遅延	310ps	310ps
素子数	40Tr.	21Tr.+2C
動的消費電力	51μW	16μW
静的消費電力	55nW	0.084nW

0.18μm TMR/CMOS technology, $V_{DD}=1.8V$

強誘電体素子に基づくロジックインメモリ回路技術



- 残留分極が正の状態を“0”の記憶状態，負の状態を“1”に設定
- 強誘電体キャパシタの両端電極に二つの2値入力電圧を加え、その電位差を活用し入力論理値の差を検出して論理演算を実行

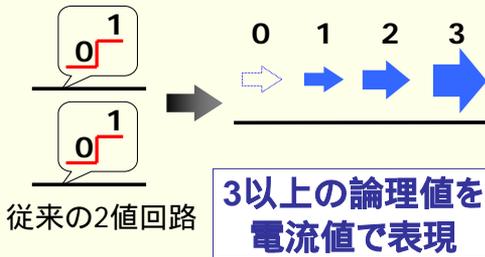


- 強誘電体デバイスを用いて記憶機能と演算機能を一体化

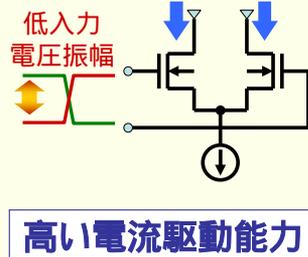
チップ面積：30% 消費電力：50%

2. 差動ロジックに基づく電流モード多値回路技術

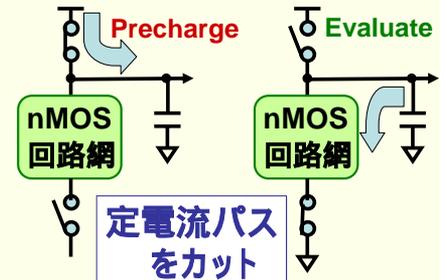
電流モード多値回路技術



差動ロジック

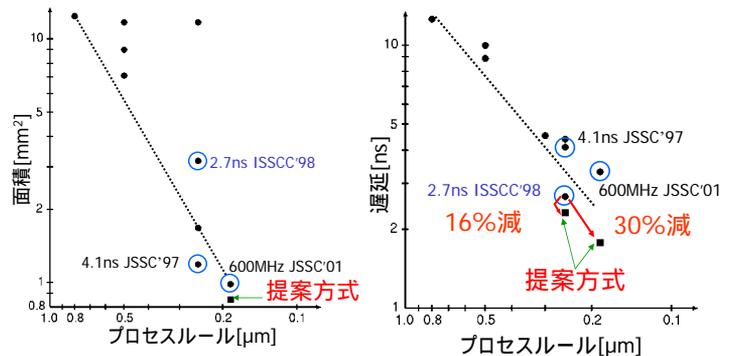
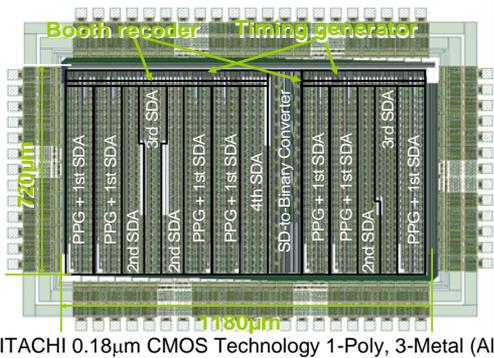


ダイナミック論理回路



高速・低消費電力多値VLSIの実現

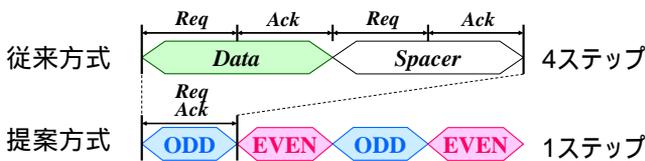
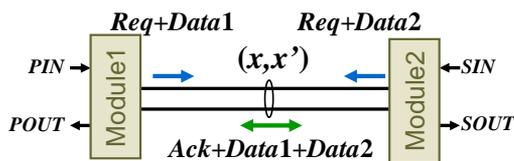
54 × 54bit乗算器チップ



演算時間: 30%減 チップ面積: 20%減

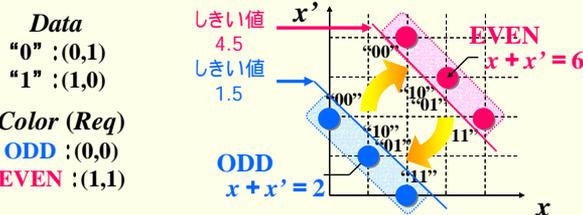
3. 制御信号重畳に基づく高速双方向非同期データ転送方式

クロックレスVLSI 非同期データ転送



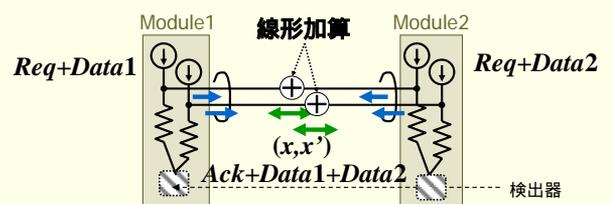
要求応答処理を重ねて高速な非同期データ転送を実現

1相2線符号 - 双方向データ転送用



- 2線符号の和 $x + x'$ を計算 双方の要求の一致を検出
- 2線の遷移速度に差があっても正しくデータ到来を検出可能

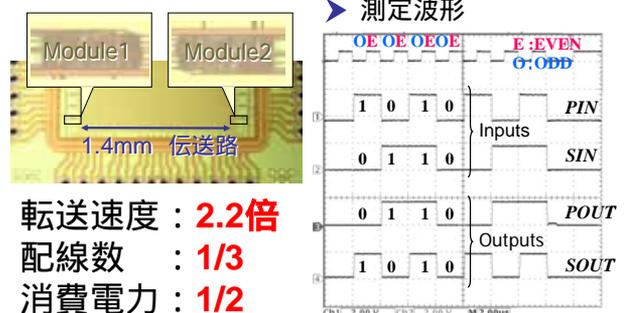
電流モード多値回路による双方向転送



- 符号を電流値に割当て、データと制御信号を2線に重畳
- 線形加算は配線上で行われ、双方で加算結果を検出

一致検出機能を配線のみでシンプルに実現

インタフェーステストチップ



転送速度: 2.2倍

配線数: 1/3

消費電力: 1/2

HITACHI 0.18μm CMOS Technology 1-Poly, 3-Metal (Al)