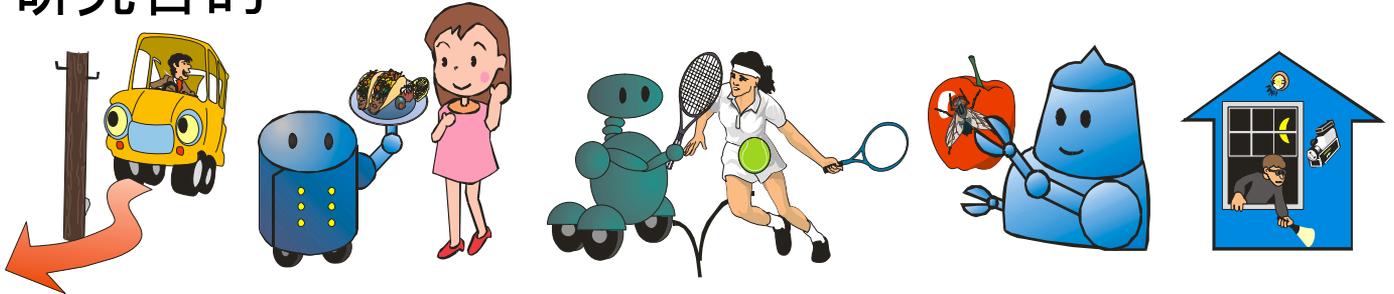


研究スタッフ

教授：亀山 充隆 助教授：張山 昌論
助手：ハアク モハマッド ムニルル

研究目的

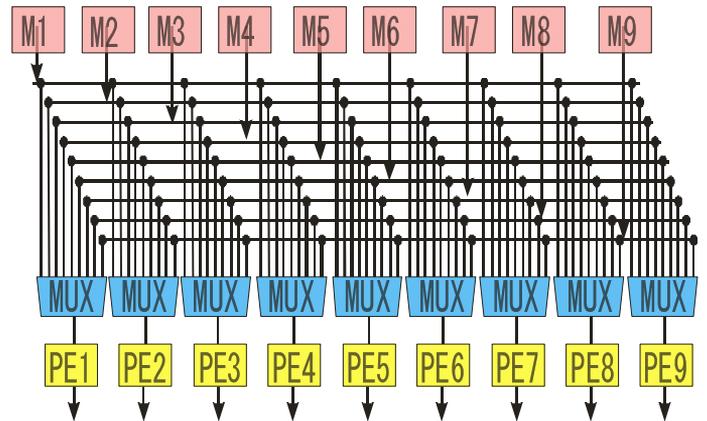
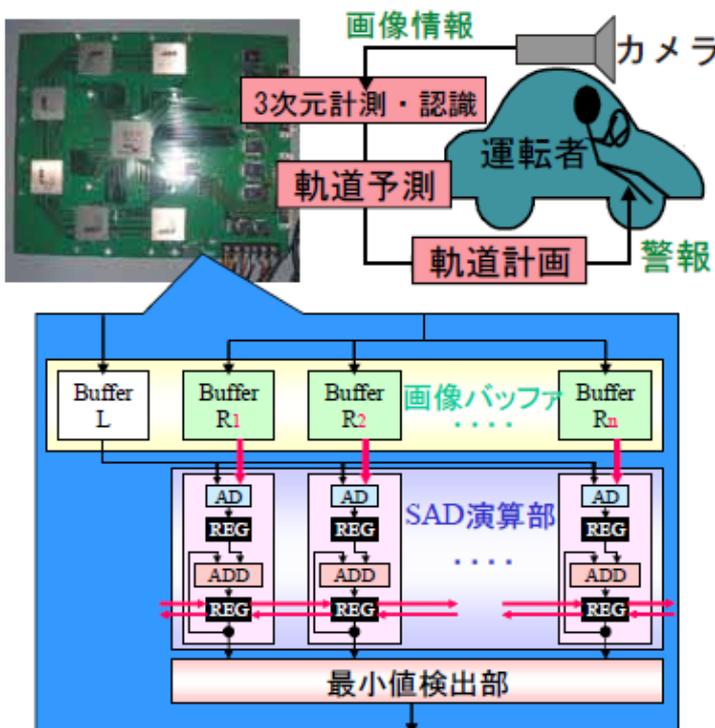


計算量が膨大な智能アルゴリズムを高速に処理できる
専用VLSIプロセッサのための先進技術の開拓

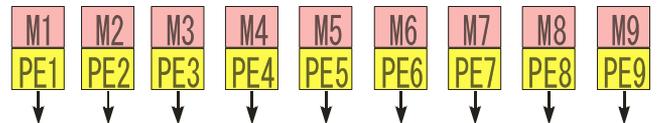
主な研究テーマ

1. 知能集積システムのインテグレーション

システム構築理論・VLSI向きアルゴリズム・VLSIアーキテクチャ・VLSIの最適化理論



最適アロケーションに基づく構成



ロジックインメモリアーキテクチャに基づく
ステレオビジョンVLSIプロセッサ
並列メモリアクセス・相互結合網の最小化

- ロジックインメモリ構造VLSIプロセッサの最適構成理論
- 低消費電力VLSIプロセッサの最適構成理論

2. フィールドプログラブルVLSI

FPGAの問題：配線の複雑さ，コンフィグレーションメモリ容量

■高性能化

- ・細粒度ビットシリアルパイプラインアーキテクチャ
- ・多値電流モード回路

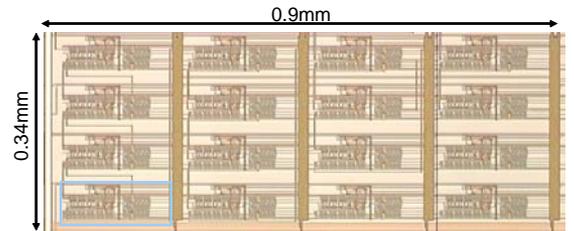
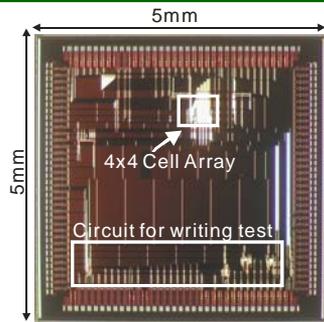
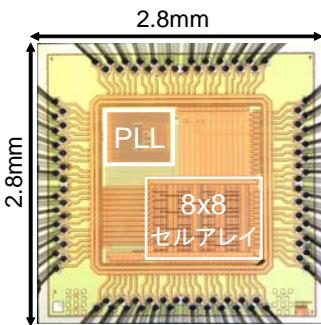
■低消費電力化

- ・複数電源電圧FPVLSI

■低コスト化

- ・マルチコンテキスト化，不揮発機能パスゲート

FPVLSI用設計CAD開発



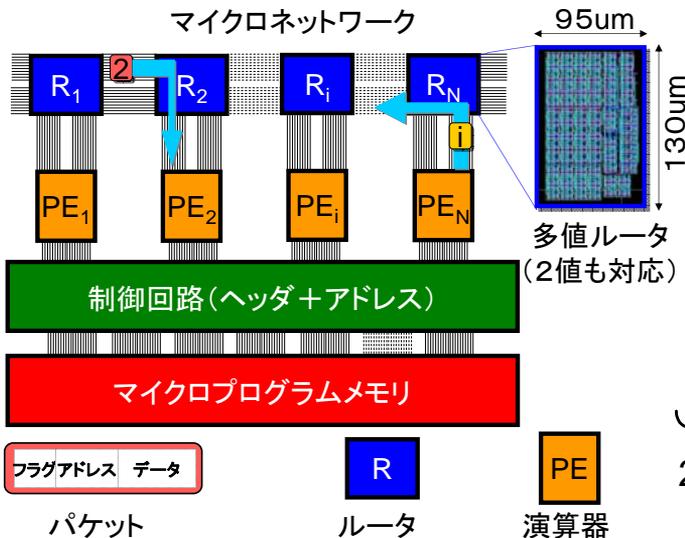
ビットシリアル・複数電源電圧
($0.18\mu\text{m}$) 4~9倍の高性能化

細粒度マルチコンテキスト
FGMOS機能パスゲート
($0.35\mu\text{m}$) 面積50%・リーク減少

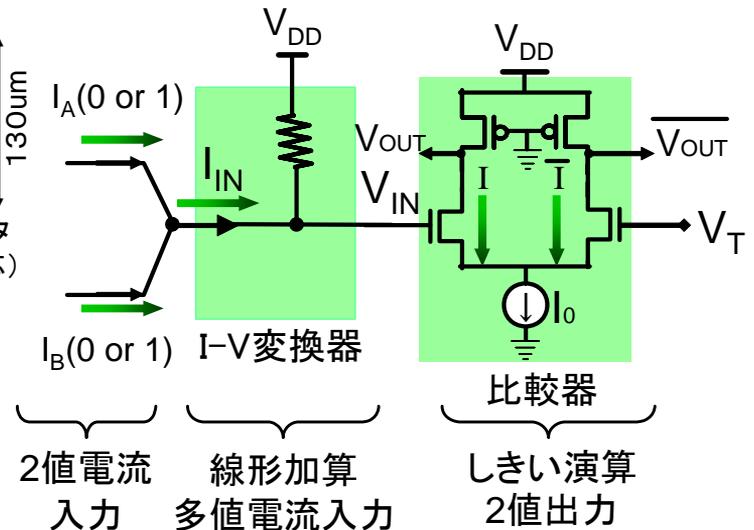
多値電流モード
($0.35\mu\text{m}$ CMOS, 4x4セルアレイ)
2値に比べ遅延65%, 面積75%

3. 新概念VLSI

パケット通信に基づくチップ内転送



多値電流モード回路を用いたリコンフィギャラブルVLSI



自律分散制御

- ・配線資源の利用効率を向上
- ・マイクロプログラムメモリ面積を減少
- ・目的先が同じである2個の packets を多重化することにより稼働率の向上

多値電流モード

- しきい値 V_T により多種多様な論理機能 (ゲートレベルプログラマビリティ)
- 線形加算による入力数削減 → 入力スイッチ数の減少