

研究スタッフ

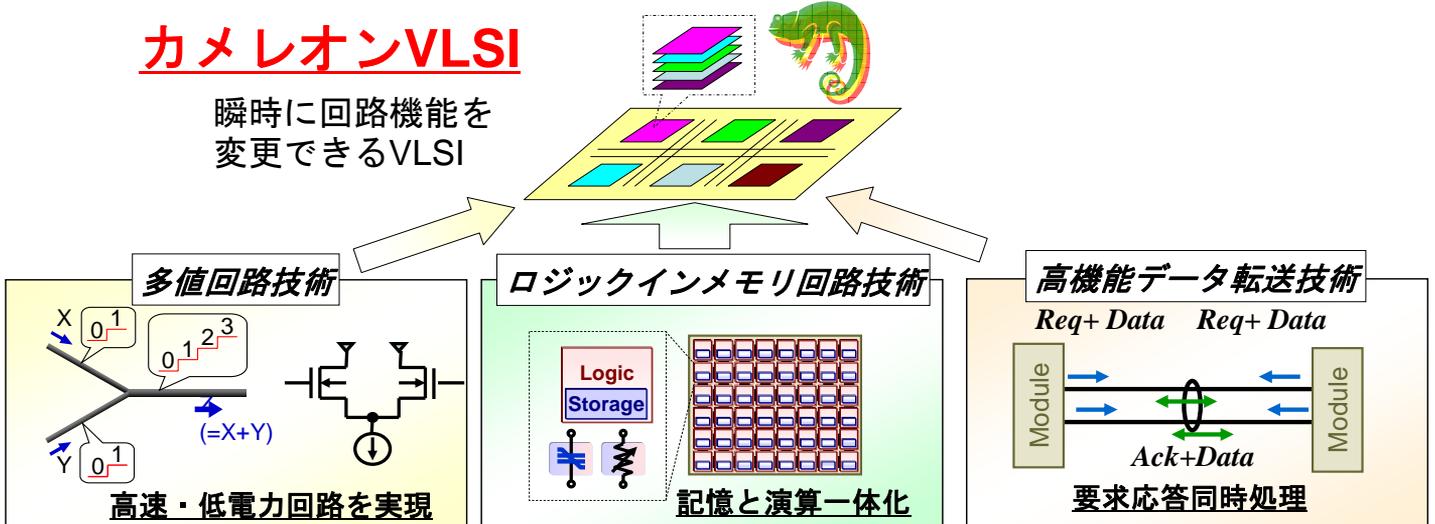
教授： 羽生 貴弘、 助教： 松本 敦

研究目的

高機能・高速・低電力・コンパクト・高信頼VLSIの実現 → 新概念アーキテクチャ・回路技術

カメレオンVLSI

瞬時に回路機能を変更できるVLSI

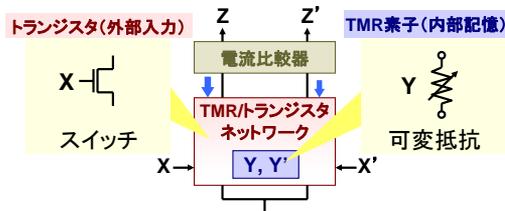


主な研究テーマ

1. 不揮発性デバイスを用いたロジックインメモリVLSI

TMR素子に基づくロジックインメモリ回路技術
東北大学電気通信研究所大野研究室との共同研究

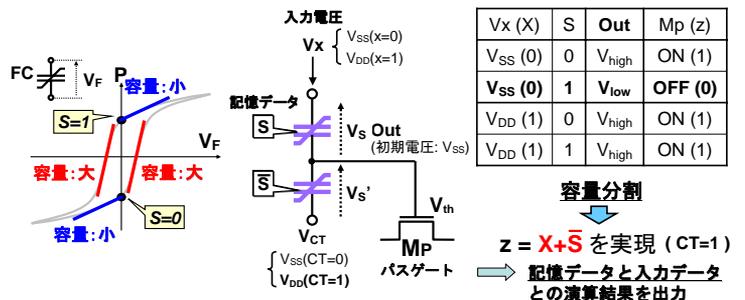
電流比較による演算・記憶の一体化



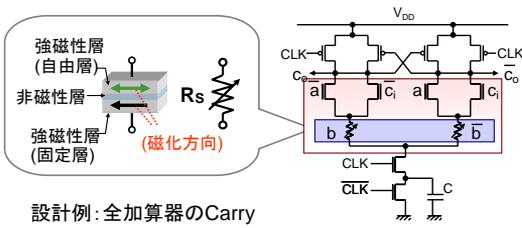
- トランジスタおよびTMR素子で演算ネットワークを構成
- 電流比較器で電流差分を検出し出力を生成する

強誘電体素子に基づくロジックインメモリ回路技術
ローム株式会社との共同研究

容量分割による演算・記憶の一体化



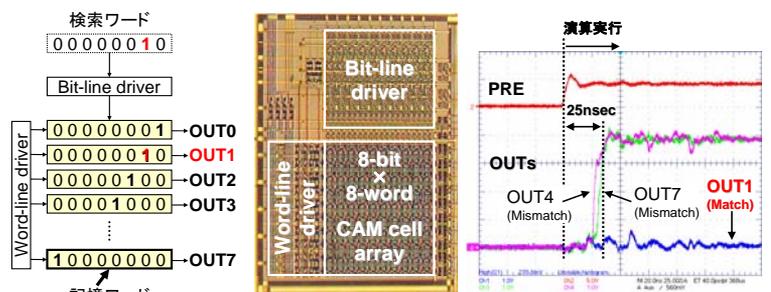
TMR加算器



	CMOS回路	提案回路
遅延	310ps	310ps
素子数	40Tr.	21Tr.+2C
動的消費電力	51μW	16μW
静的消費電力	55nW	0.084nW

0.18μm TMR/CMOS technology, $V_{DD}=1.8V$

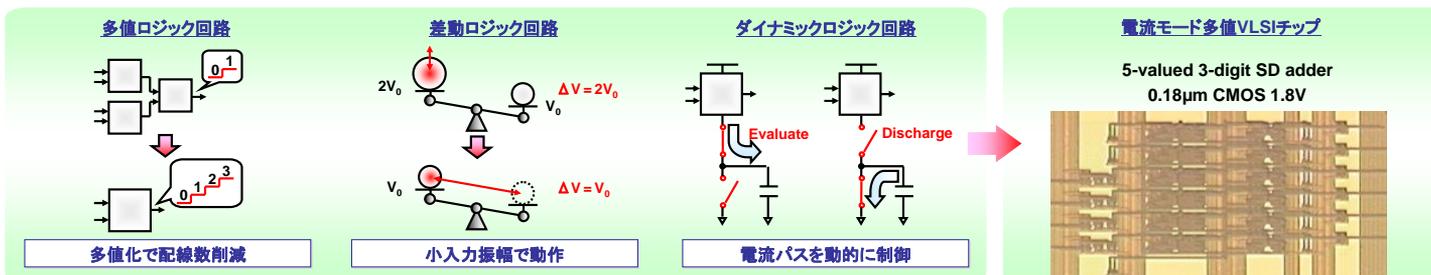
一致検出用8ビット連想メモリ(CAM)



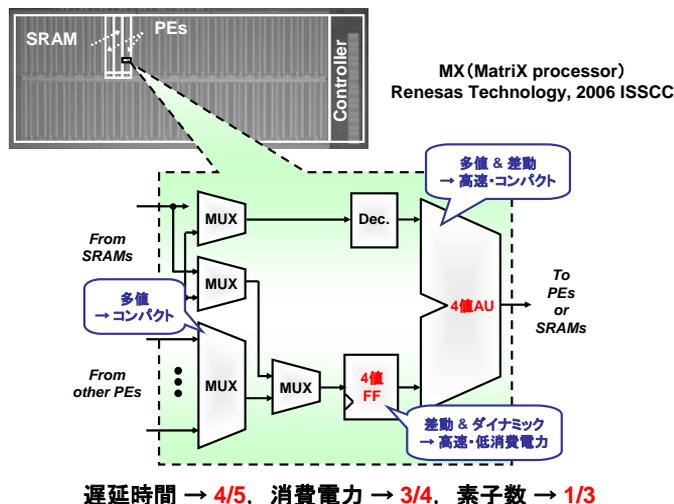
- 記憶機能と演算機能(XOR)の一体化 → CMOS実現と比較しセル面積を約60%に削減
- 不揮発性記憶機能 → 待機電力を完全カット(電源OFF)

2. 高速低消費電力多値VLSI技術

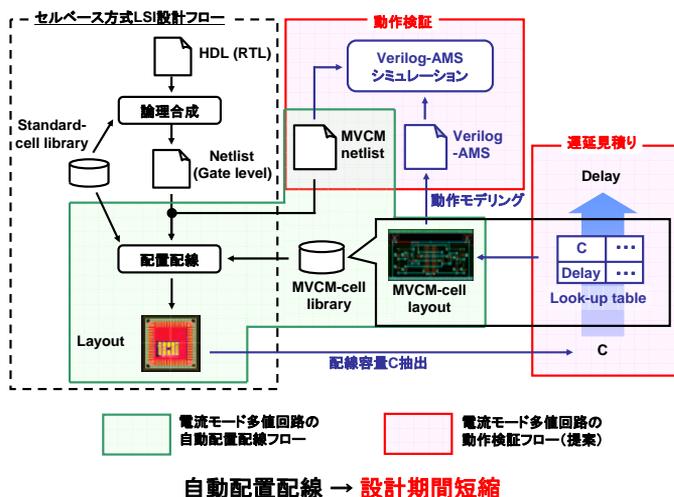
ダイナミック多値差動ロジック回路技術



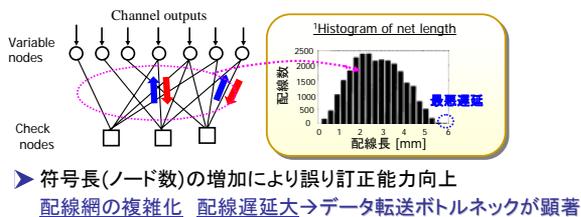
多値超並列プロセッサ(ルネサステクノロジとの共同研究)



多値VLSI CAD



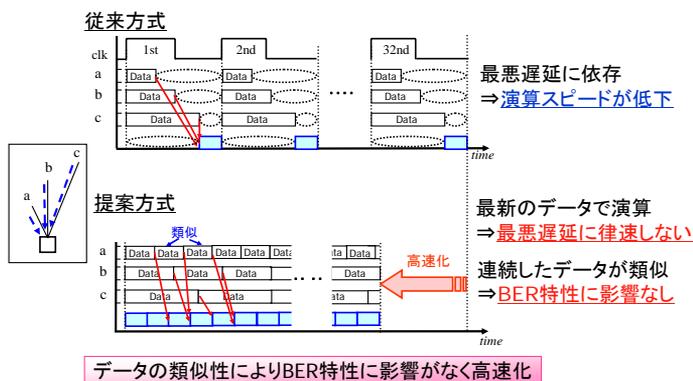
3. 情報通信用VLSI (Low-Density Parity-Check (LDPC) デコーダ)



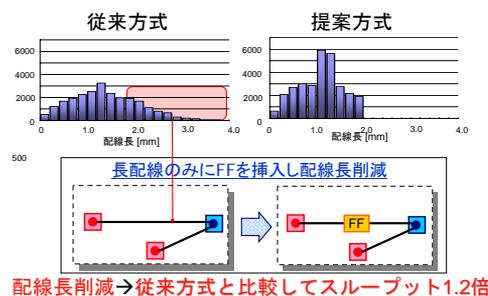
アルゴリズムレベル
データ類似性に着目した
デコーディングアルゴリズム
→ 高速演算 BER特性維持

回路レベル
パイプライン制御による高速化
→ 配線遅延小
非同期式制御による高速化
→ 高速データ転送

高速デコーディングアルゴリズム



パイプライン制御に基づくLDPCデコーダ



非同期式制御に基づくLDPCデコーダ

