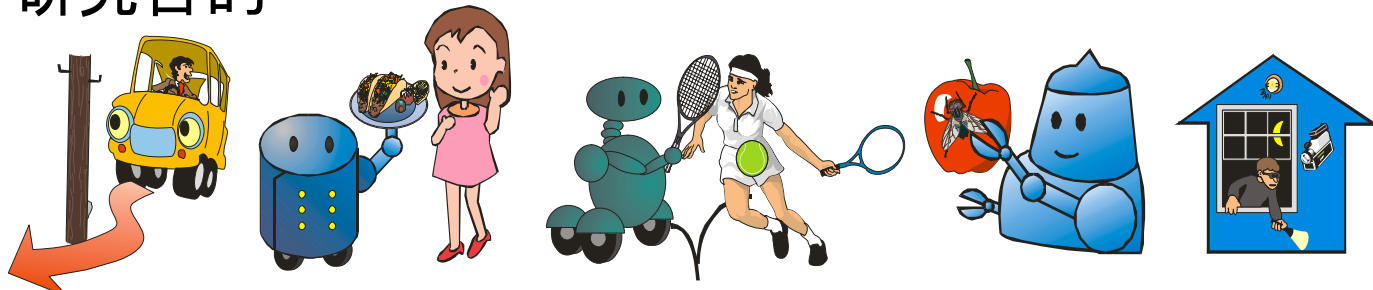


研究スタッフ

教授：亀山 充隆 准教授：張山 昌論

研究目的

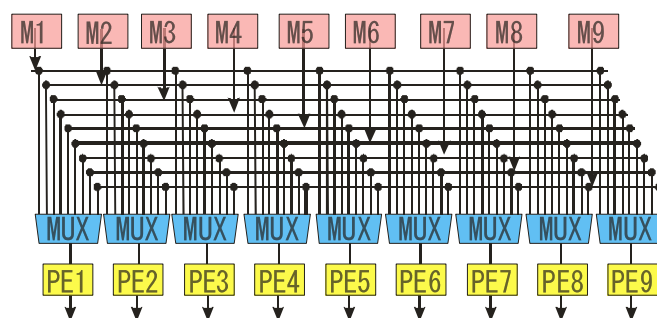
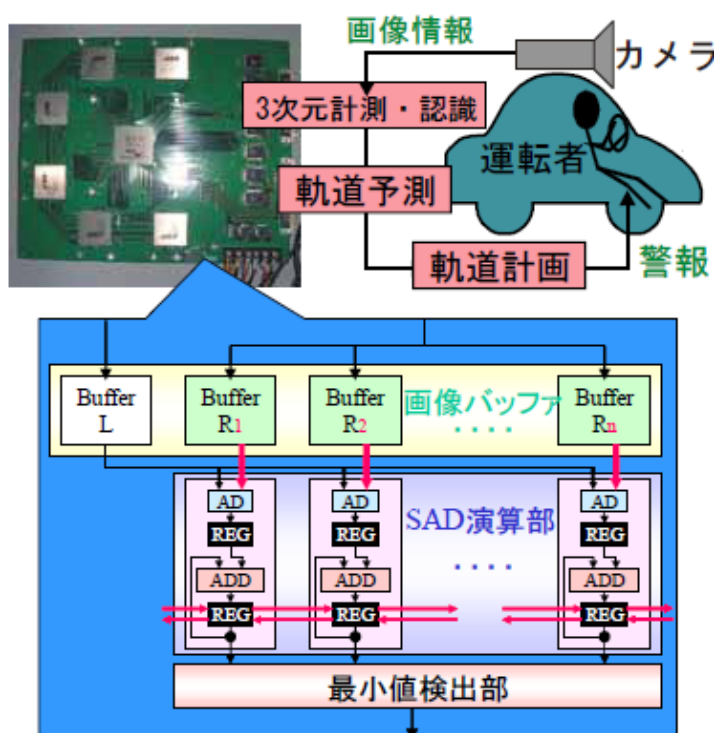


計算量が膨大な智能アルゴリズムを高速に処理できる
専用VLSIプロセッサのための先進技術の開拓

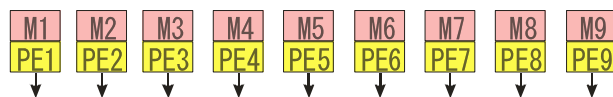
主な研究テーマ

1. 智能集積システムの構成理論

システムレベル設計・VLSI向きアルゴリズム・VLSIアーキテクチャ・VLSIの最適構成理論



最適アロケーションに基づく構成



- ロジックインメモリ構造VLSIプロセッサの最適構成理論
- 低消費電力VLSIプロセッサの最適構成理論

ロジックインメモリアーキテクチャに基づく
ステレオビジョンVLSIプロセッサ
並列メモリアクセス・相互結合網の最小化

2. フィールドプログラマブルVLSI

FPGAの問題：配線の複雑さ，コンフィグレーションメモリ容量

■高性能化

- ・細粒度ビットシリアルパイプラインアーキテクチャ
- ・多値電流モード回路

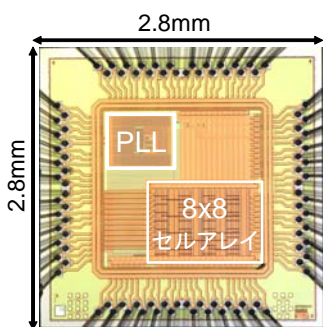
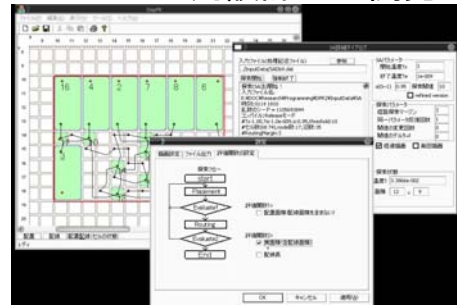
■低消費電力化

- ・複数電源電圧FPVLSI, 非同期パワーゲーティング

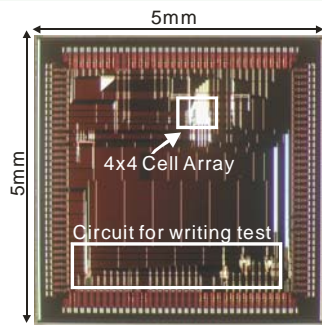
■低コスト化

- ・マルチコンテキスト化, 不揮発機能パスゲート

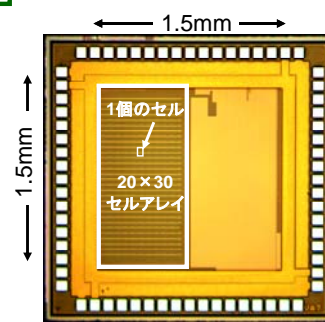
FPVLSI用設計CAD開発



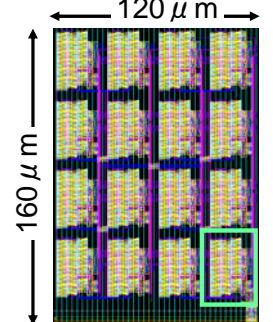
ビットシリアル・複数電源電圧
($0.18 \mu\text{m}$) 4~9倍の高性能化



細粒度マルチコンテキスト
FGMOS機能パスゲート
($0.35 \mu\text{m}$) 面積50%・リーク減少



非同期ビットシリアル
アーキテクチャ(90nm)
4相2線比 遅延60%, 電力50%

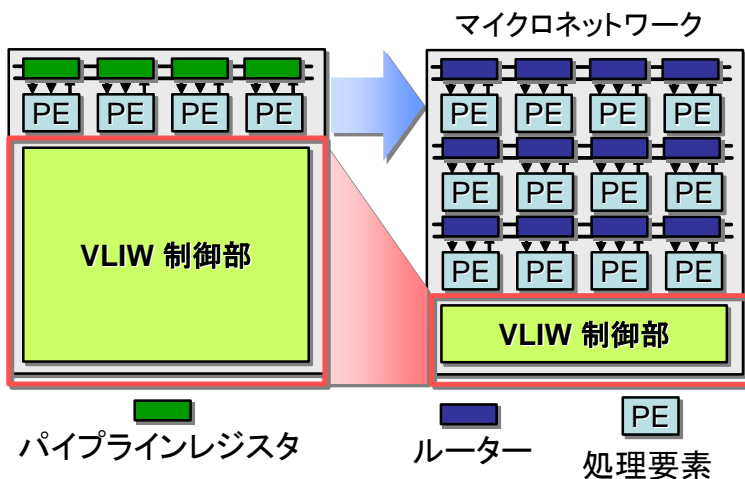


多値電流モード(90nm)
2値比 面積30%
(遅延・電力同等条件)

3. 新概念VLSI

パケット通信に基づくチップ内転送

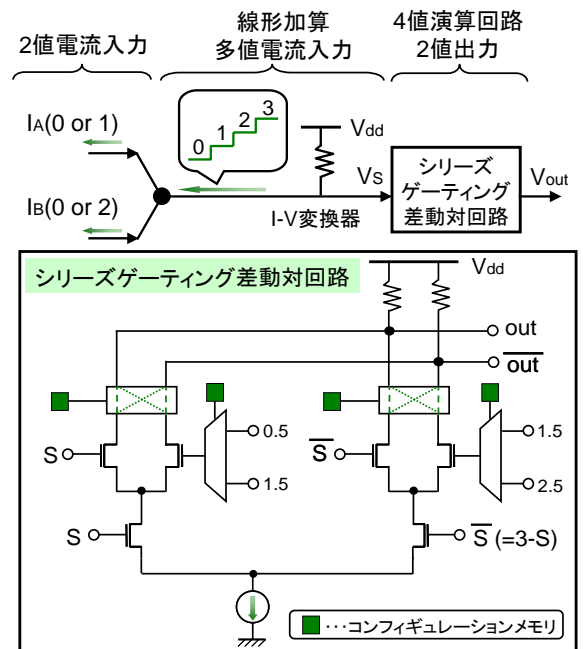
パケット = 転送先アドレス+データ



自律分散制御

- 配線資源の利用効率を向上
- マイクロプログラムメモリ面積を削減
- 転送先が同じ2個の packets を多重化することにより稼働率を向上

多値電流モード回路を用いた フィールドプログラマブルVLSI



シリーズゲーティング差動対回路

- 任意の2値2変数関数をユニバーサルリテラルとしてプログラム可能 ⇒ コンパクト性・低電力性
- 線形加算による入力数減少 ⇒ 入力スイッチ減少
- 細粒度アーキテクチャによるセル利用率向上