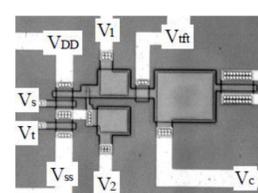


# 研究スタッフ

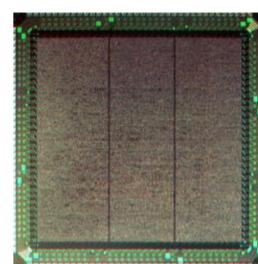
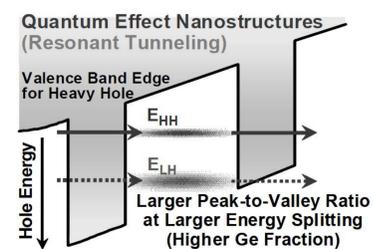
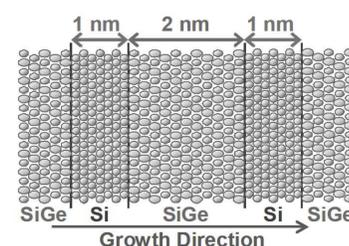
教授： 佐藤 茂雄、 准教授： 櫻庭 政夫  
助教： 秋間 学尚

## 研究目的

低炭素社会実現へ向けた低消費電力性や災害時でも動作するロバスト性など多様な要求に対応できる次世代情報通信基盤技術の開発に向けて、3次元ナノプロセス技術を駆使したシリコン系半導体デバイスの高機能・高性能化と、それらを用いた大規模集積回路の実現を目指します。新材料や立体構造を導入した新トランジスタ素子・新メモリ素子や、量子効果など新しい原理によって動作する新原理動作デバイスを開発し、アナ・デジ混在ディペンダブル大規模集積回路の実現、非ノイマンアーキテクチャの実現に取り組みます。



不揮発性  
アナログメモリ



ニューロチップ

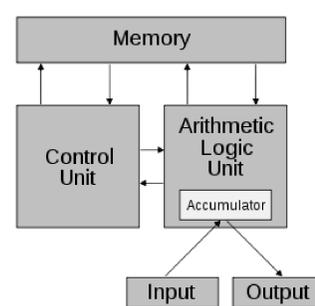
量子効果デバイス

## 主な研究テーマ

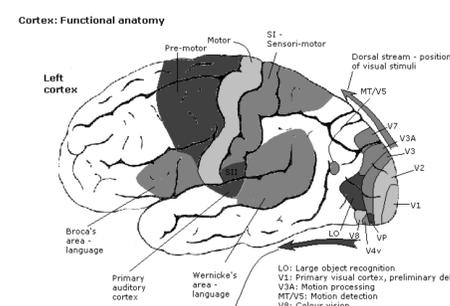
### 1. 脳型計算機のプロトタイプ実現

実世界に対応しうる脳型計算機の工学的実現のためには、関係するプロセス技術、デバイス技術、回路技術、並びに計算機アーキテクチャの開発が必要不可欠であり、本研究室では、脳型計算機を構成するために必要なナノ集積化プロセス・デバイス技術の開発を軸に、この分野において先導的な役割を果たすべく研究を進めていきます。

さらに、人工神経回路の手法と、ハミルトニアンの断熱的変化を組み合わせた量子計算アルゴリズムにより、脳型計算と量子計算の両者を包含する新しい計算原理を提案しています。



フォン・ノイマン型  
アーキテクチャ



脳の階層構造と機能局在



1024ニューロンシステム  
による連想記憶動作

興奮的結合  $W = \begin{pmatrix} 0 & w \\ w & 0 \end{pmatrix}$   $H_F = \begin{pmatrix} E & 0 & 0 & -A \\ 0 & E & 0 & 0 \\ 0 & 0 & E & 0 \\ -A & 0 & 0 & E \end{pmatrix}$

抑制的結合  $W = \begin{pmatrix} 0 & -w \\ -w & 0 \end{pmatrix}$   $H_F = \begin{pmatrix} E & 0 & 0 & 0 \\ 0 & E & -A & 0 \\ 0 & -A & E & 0 \\ 0 & 0 & 0 & E \end{pmatrix}$

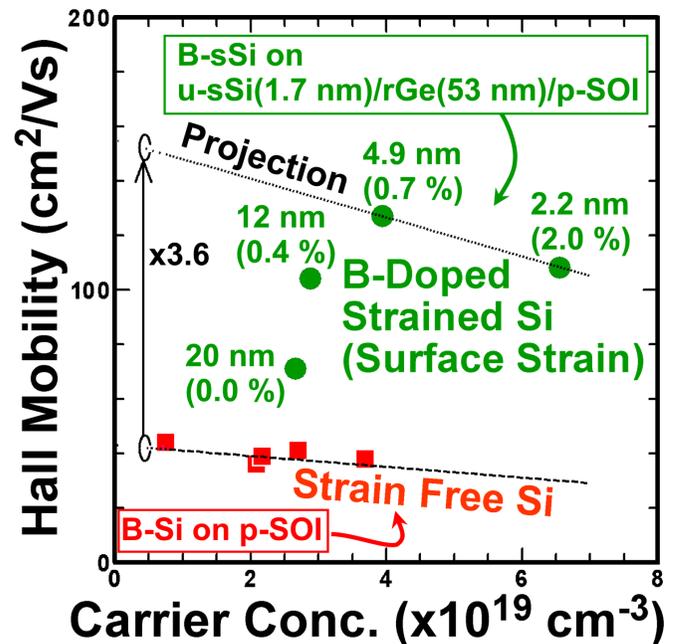
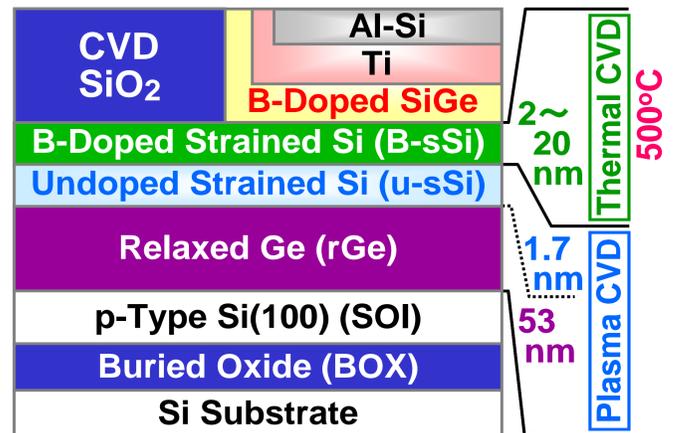
興奮的結合 抑制的結合  $W = \begin{pmatrix} 0 & -w & w \\ -w & 0 & -w \\ w & -w & 0 \end{pmatrix}$   $H_F = \begin{pmatrix} E & 0 & 0 & 0 & 0 & -A & 0 & 0 \\ 0 & E & -A & 0 & 0 & 0 & 0 & 0 \\ 0 & -A & E & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & E & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & E & 0 & 0 & 0 \\ -A & 0 & 0 & 0 & 0 & E & -A & 0 \\ 0 & 0 & 0 & 0 & 0 & -A & E & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & E \end{pmatrix}$

人工神経回路の手法による  
ハミルトニアンの構成法

## 2. 原子層制御プラズマCVDプロセス

SiH<sub>4</sub>やGeH<sub>4</sub>などの原料ガスの表面反応を、基板非加熱下の低エネルギーArプラズマ照射によって制御することにより、Si結晶基板と格子整合した高度歪GeやSiGe混晶のエピタキシャル成長や高濃度ドーピングを可能にしてきました。特に、本技術で開発された高い平坦性を有する歪緩和Ge薄膜をBドーピングSiエピタキシャル成長用の基板として用いることにより、キャリア移動度増大現象の観測にも成功しています。このように、ナノメートルオーダー厚さの異種薄膜の積層構造形成を制御可能な基盤技術を確立し、IV族半導体中の量子効果発現や電子物性変調を制御する研究を進め、Si集積回路を高性能化させる材料・デバイス技術の開発を目指しています。

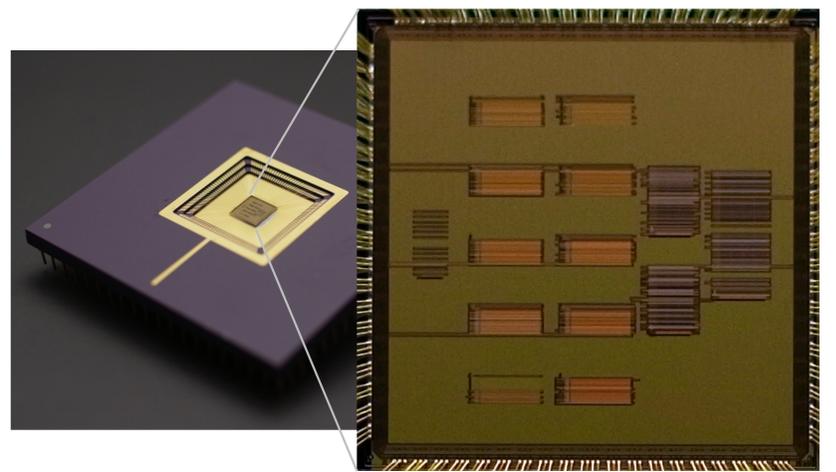
基板非加熱プラズマCVDで実現した高い平坦性を有する歪緩和Ge薄膜を利用した、高濃度BドーピングSiエピタキシャル成長薄膜のHall効果素子断面構造（上段）と室温Hall移動度の測定結果（下段、緑色丸印）



※本研究の一部は、電気通信研究所における共同プロジェクト研究によるものである。

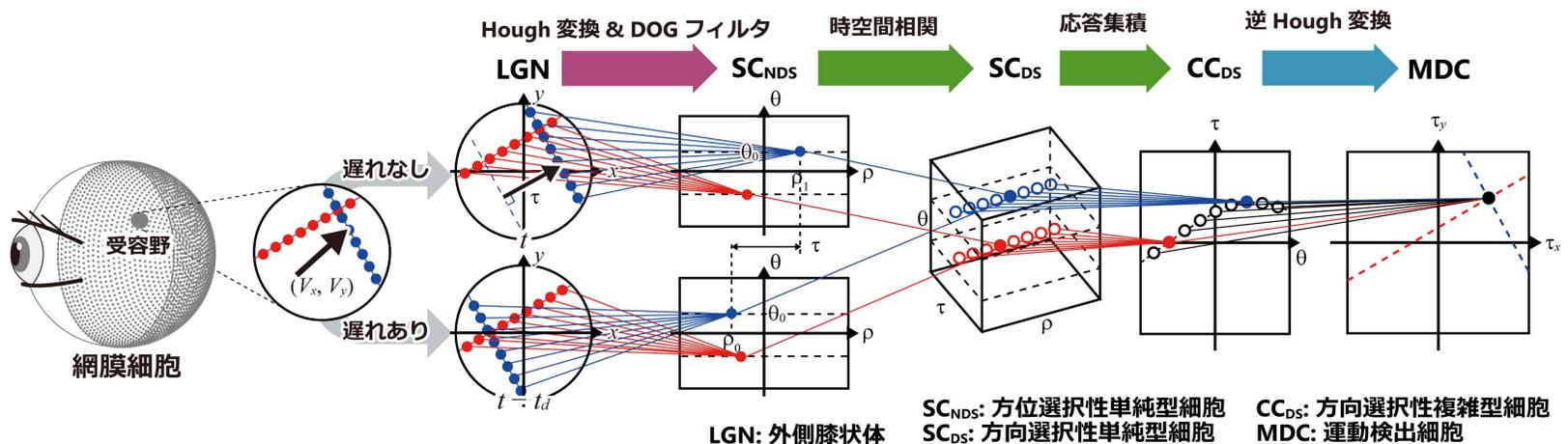
## 3. 脳型視覚情報処理のハードウェア化

視覚系の主要な役割の一つに、物の動きや空間的位置関係を把握する空間認識があります。空間認識には奥行き手がかりが必要で、単眼で得られる運動視差を利用した手法として運動立体視（運動視）があります。本研究では、川上らによって提案された運動視により空間認識を行う神経回路網モデルをハードウェアに実装し、自動運転車や自走型ロボットなどに応用することを目指しています。



使用プロセス：VDEC Rohm 0.18 μm standard CMOS  
チップサイズ：5 mm × 5 mm

局所運動検出LSI



運動視による局所運動検出モデル（Kawakami, Okamoto, Vision Res., 1996より改変）