研究スタッフ

教　授：　中島　康治、　助　教：　小野美　武

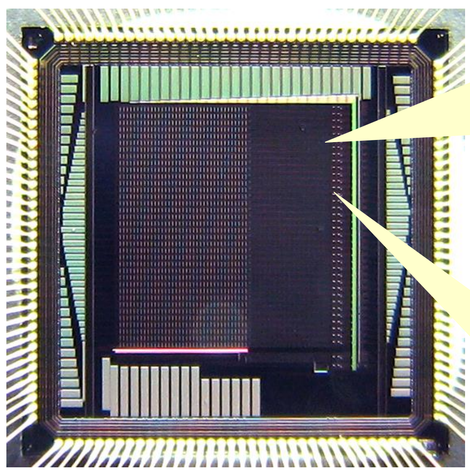
研究目的

当研究室では、知的情報処理システムの構成法の研究、知的集積回路の設計と製作、人工集積神経回路網の解析と応用、並びにそれに向けた新しいデバイスの開発を行っております。それに伴い大規模集積回路の構成全般にわたる設計・製作・検査から組み立てまでの新概念に基づく基盤技術の開発も合わせて行っております。さらに新たな機能を持つデバイスや知的回路構成法を探索しており、次世代情報処理システムのゲートレベルからの新構築を目指して研究を進めております。

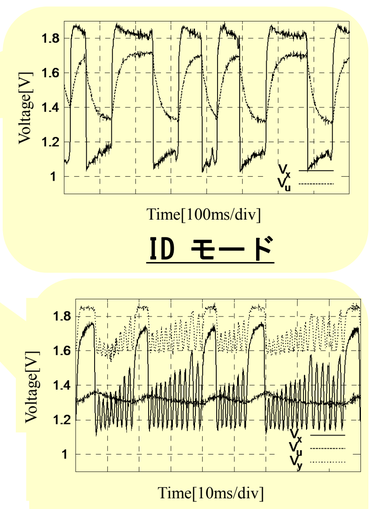
主な研究テーマ

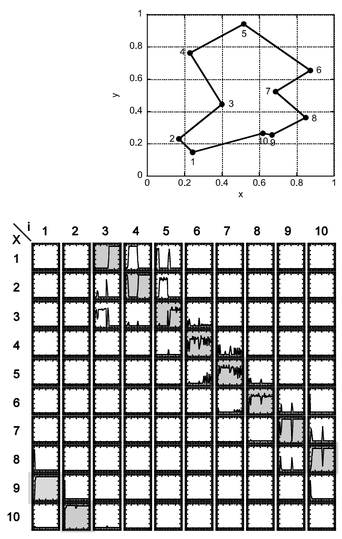
大規模集積化ブレインコンピュータに関する研究

自律分散記憶を核とした知的情報処理システムを構成するため、ニューロシステムへの発振能力の導入による高性能情報処理機能の達成やストカスティックモデルによる高集積化手法の確立などをベースに、超低消費電力、超高速動作のCMOS、単電子、超伝導デバイスを用いた回路設計を行い、連想記憶や最適化処理などを行うブレインコンピュータのマイクロチップ化を目指した研究を行っております。

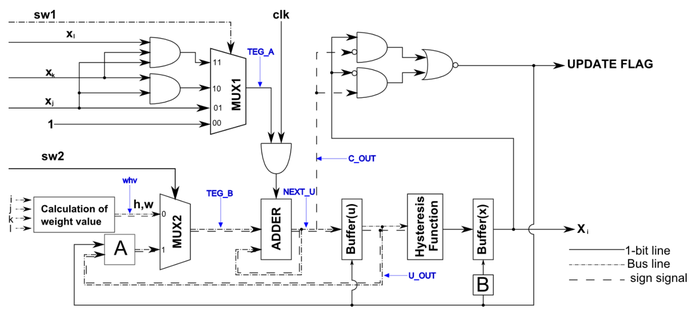


Burst Inverse Function Delayedモデル
を搭載した汎用ニューロチップ

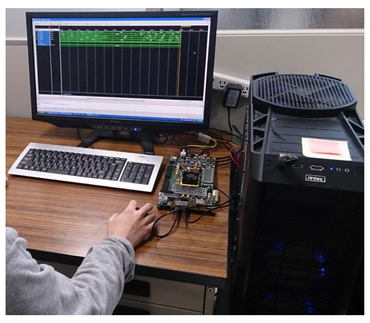




巡回セールスマン問題の解探索
従来手法0.1%を100%の正解率へ



高次結合離散IDニューロンユニット



FPGAボードによるニューラルネットワークの実装

高性能最適化処理ニューロチップ（Burstモード搭載）

Activeニューロンである Inverse Function DelayedモデルにBurstモード(高次ダイナミクス)を搭載した汎用ニューロチップ。コンピュータ並びにこれまでのニューラルネットワークでは困難とされている組み合わせ最適化問題で高い正解率を達成。Burstモードで性能向上を目指す。

汎用ニューロシステム

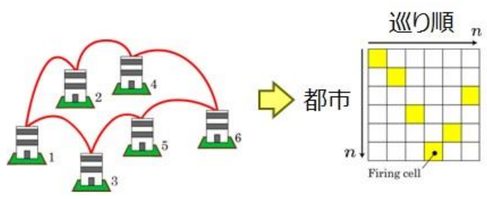
FPGAボードへ高次結合離散IDニューラルネットワークを実装することにより、ニューラルネットワークの特性である並列処理を実現する。これにより、省スペース・高速・大規模システムが可能となる。モバイルブレインへ向けてのプロトタイプシステムである。

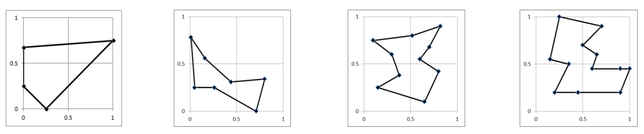
ニューロンモデルのアクティブ化とネットワークに関する研究

本研究室では発振能力を持つニューロンモデルとして、逆関数遅延モデル（ID：Inverse function Delayed model）を提案しております。IDモデルによるニューラルネットワークを最適化問題や連想記憶に適用し、その高性能化を目指した研究を行っています。

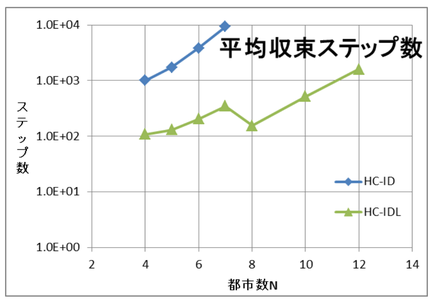
•巡回セールスマン問題(TSP)
*n*都市を1筆書きで巡る際の最短経路を求める。

用いた都市配置の例

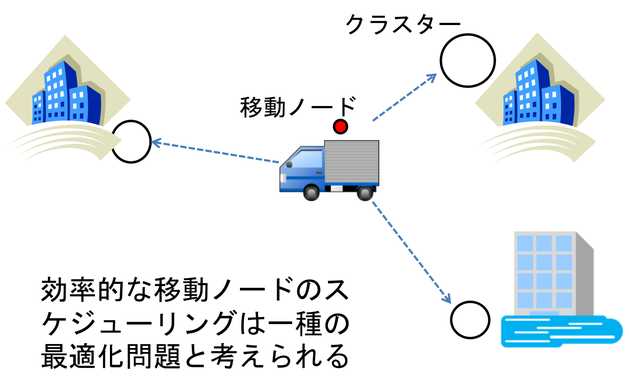




4都市　7都市　10都市　12都市

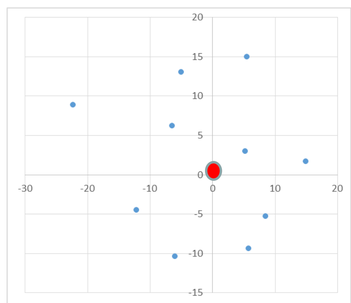


ネットワークの高速化に成功



効率的な移動ノードのスケジューリングは一種の最適化問題と考えられる

DTN（Delay Tolerant Networking）のスケジューリング



シミュレーションに用いたレイアウト

データの平均遅延時間

・最短経路を通るルーティング
：45732.18[sec]

・ニューラルネットワークを用いた提案手法
：36643.35[sec]

より効率的な移動ノードのスケジューリングを実現

逆関数ゼロ遅延モデルによるニューラルネットワーク

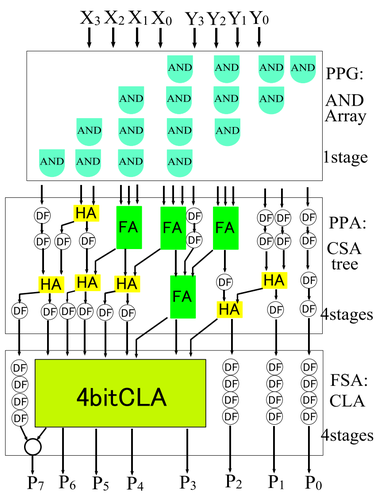
逆関数遅延(ID)モデルの遅延をゼロにし、基本式を差分化したニューラルネットワークにより、組合せ最適化問題を解くネットワークの高速化が図られます。

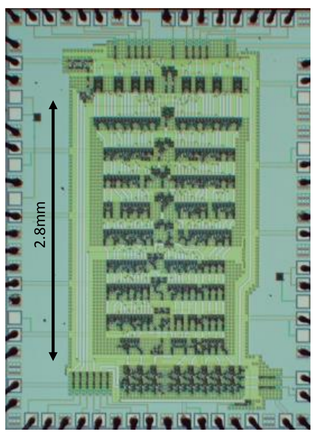
高次結合逆関数遅延ネットワークによるＤＴＮルーティング

DTN(Delay Tolerant Networking)では物理的に移動可能なノードが孤立したネットワーク(クラスター)で発生したデータを回収し、他のクラスター、又は生き残った基地局等にデータを配送する事で通信を行う。効率的な移動ノードのスケジューリングを行うニューラルネットワークの設計を行っています。

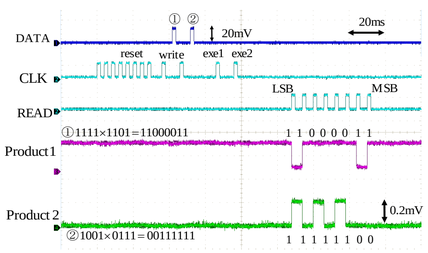
超高速ローパワー超伝導コンピュータに関する研究

単一磁束量子を情報担体とした超高速(ps/gate)・低消費電力(μW/gate)の情報処理回路の研究を行っております。集積化チップはジョセフソントンネル素子を集積化した回路により試作されます。回路中の磁束量子の挙動や相互作用を論理動作として利用し、粒子性情報担体としての特徴を生かしたアーキテクチャや設計・集積化技術の研究を行っております。

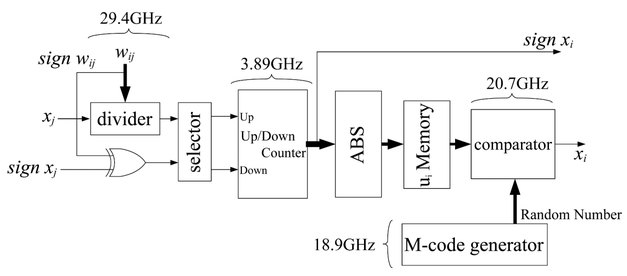




位相モード4ビット並列パイプライン乗算器の構成と集積化回路
(FA:全加算器, HA:半加算器, DF:Dフリップフロップ,
ジョセフソン接合数: 3360個)

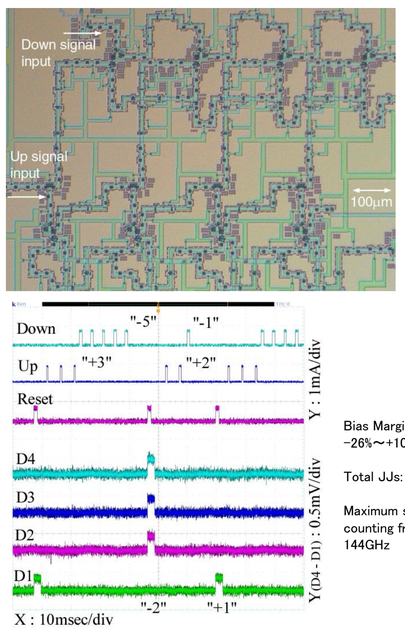


4ビット並列パイプライン乗算器の論理動作テスト結果



Number of JJs : 3400　　Operation speed of the stochastic neural circuit (16bit) : 3.89GHz

SFQロジックによるストカスティクニューロ回路の構成



４ビットアップダウンカウンターの集積化回路と動作テスト

位相モード乗算器の集積化

超伝導位相モード方式による超高速・低消費電力プロセッサの実現を目指して、回路の集積化と検証を行っています。図は4ビット並列パイプライン型パラレル乗算器の回路の製作と測定を示す。回路はNb/AlOx/Nbジョセフソン接合3360個で構成される。

ストカスティク論理に基づくニューロ回路の構成

ストカスティック論理に基づくニューロ回路の構成をSFQ回路に適用し、回路構成の提案・数値解析による評価・集積化回路の試作を通して回路性能の検証を行っております。