

東北大学 電気通信研究所  
**研究室外部評価 参考資料**  
(2013 年度-2018 年度)

**Research Laboratory Reference Data  
for External Review**

April 2013 – March 2019  
(FY. 2013–2018)

**Research Institute of Electrical Communication  
Tohoku University**

**新概念 VLSI システム研究室**

**New Paradigm VLSI System**

分野や研究室の事情に合わせて、エビデンスとなる資料を下の例に従ってまとめてください。

1. 研究成果 / Research Achievements

(1) 査読付学術論文 / Refereed journal papers

● 2018 年度 / FY 2018

- [1] D. Suzuki, T. Oka, and T. Hanyu, "Circuit Optimization Technique of Nonvolatile Logic-In-Memory Based Lookup Table Circuits Using Magnetic Tunnel Junction Devices," *Microelectronics Journal*, Vol.83, pp.39-49, Jan. 2019.
- [2] N. Onizawa, M. Imai, T. Yoneda, and T. Hanyu, "MTJ-Based Asynchronous Circuits for Re-initialization Free Computing against Power Failures," *Microelectronics Journal*, Vol.82, pp.46-61, Dec. 2018.
- [3] M Natsui, T Chiba, and T Hanyu, "Design of MTJ-Based Nonvolatile Logic Gates for Quantized Neural Networks," *Microelectronics Journal*, Vol.82, pp.13-21, Dec. 2018.
- [4] J.-P. Diguët, N. Onizawa, M. Rizk, J. Sepulveda, A. Baghdadi and T. Hanyu, "Networked Power-Gated MRAMs for Memory-Based Computing," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 26, no. 12, pp. 2696-2708, Dec. 2018.
- [5] W. Gross, N. Onizawa, K. Matsumiya, and T. Hanyu, "Application of Stochastic Computing in Brainware," *Nonlinear Theory and Its Applications (NOLTA)*, vol. E9-N, no. 4, pp. 406-422, Oct. 2018.
- [6] N. Onizawa, S. Koshita, S. Sakamoto, M. Kawamata, and T. Hanyu, "An Area/Power-Aware 32-Channel Compressive Gammachirp Filterbank Chip Based on Hybrid Stochastic/Binary Computation," *Nonlinear Theory and Its Applications (NOLTA)*, vol. E9-N, no. 4, pp. 423-435, Oct. 2018.
- [7] N. Onizawa, D. Katagiri, K. Matsumiya, W. J. Gross, T. Hanyu, "An Accuracy/Energy-Flexible Configurable Gabor-Filter Chip Based on Stochastic Computation with Dynamic Voltage-Frequency-Length Scaling," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS)*, Vol.8, Issue 3, pp. 444-453, Sept. 2018.

● 2017 年度 / FY 2017

- [1] D. Suzuki and T. Hanyu, "Design of a magnetic-tunnel-junction-oriented nonvolatile lookup table circuit with write-operation-minimized data shifting," *Japanese Journal of Applied Physics (JJAP)*, vol. 57, no. 4S, pp. 04FE09-1~4, Mar. 2018.
- [2] M. Natsui and T. Hanyu, "Design of a memory-access controller with 3.71-times-enhanced energy efficiency for Internet-of-Things-oriented nonvolatile microcontroller unit," *Japanese Journal of Applied Physics (JJAP)*, Vol. 57, No. 4S, pp. 04FN03-1~5, Feb. 2018.
- [3] N. Onizawa, S. Koshita, S. Sakamoto, M. Abe, M. Kawamata, and T. Hanyu, "Area/Energy-Efficient Gammatone Filters Based on Stochastic Computation,"

- IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 25, No. 10, pp. 2724-2735, Oct. 2017.
- [4] A. Ardakani, F. Leduc-Primeau, N. Onizawa, T. Hanyu, and W. J. Gross, "VLSI Implementation of Deep Neural Networks Using Integral Stochastic Computing," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 25, No. 10, pp. 2688-2699, Oct. 2017.
  - [5] N. Onizawa, A. Tamakoshi and T. Hanyu, "Evaluation of reinitialization-free nonvolatile computer systems for energy-harvesting Internet of things applications," Japanese Journal of Applied Physics (JJAP), Vol.56, No.8, pp.0802B7-1~0802B7-7, Aug. 2017.
  - [6] D. Suzuki and T. Hanyu, "Energy-Efficient and Highly-Reliable Nonvolatile FPGA Using Self-Terminated Power-Gating Scheme," IEICE Trans. Inf. & Syst., Vol.E100-D, No.8, pp.1618-1624, Aug. 2017.
  - [7] S. Koshita, N. Onizawa, M. Abe, T. Hanyu, and M. Kawamata, "High-Accuracy and Area-Efficient Stochastic FIR Digital Filters Based on Hybrid Computation," IEICE Trans. Inf. & Syst., Vol.E100-D, No.8, p.1592-1602, Aug. 2017.
  - [8] N. Onizawa, A. Tamakoshi, and T. Hanyu, "Evaluation of Reinitialization-Free Nonvolatile Computer Systems for Energy-Harvesting IoT Application," Japanese Journal of Applied Physics (JJAP), vol. 56, No. 8, pp. 0802B7~1-6, Jul. 2017.
  - [9] N. Onizawa, A. Mochizuki, A. Tamakoshi, and T. Hanyu, "Sudden Power-Outage Resilient In-Processor Checkpointing for Energy-Harvesting Nonvolatile Processors," IEEE Transactions on Emerging Topics in Computing (TETC), vol. 5, No. 2, pp. 151-163, Apr.-Jun. 2017.
- 2016 年度 / FY 2016
    - [1] N. Onizawa and T. Hanyu, "Soft/Write-Error Resilient CMOS/MTJ Nonvolatile Flip-Flop Based on Majority-Decision Shared Writing," Japanese Journal of Applied Physics (JJAP), vol. 56, No. 4S, pp.04CF12~1-6, Mar. 2017.
    - [2] M. Natsui, A. Tamakoshi, T. Endoh, H. Ohno, and T. Hanyu, "Fabrication of an MTJ-Based Nonvolatile Logic-in-Memory LSI with Content-Aware Write Error Masking Scheme Achieving 92% Storage Capacity and 79% Power Reduction," Japanese Journal of Applied Physics (JJAP), vol. 56, No. 4S, pp. 04CN01~1-5, Mar. 2017.
    - [3] D. Suzuki and T. Hanyu, "Design of a Low-Power Nonvolatile Flip-Flop Using 3-Terminal Magnetic-Tunnel-Junction-Based Self-Terminated Mechanism," Japanese Journal of Applied Physics (JJAP), vol. 56, No. 4S, pp. 04CN06~1-5, Mar. 2017.
    - [4] D. Suzuki, M. Natsui, S. Ikeda, T. Endoh, H. Ohno, and T. Hanyu, "Design of a Variation-Resilient Single-Ended Nonvolatile 6-Input Lookup Table Circuit with a Redundant-MTJ-Based Active Load for Smart IoT Applications," Institute of Engineering Technology (IET), Electronics Letters, vol. 53, No.7, pp. 456-458, Mar.

- 2017.
- [5] K. Boga, F. Leduc-Primeaur, N. Onizawa, K. Matsumiya, T. Hanyu, and W. J. Gross, "A Generalized Stochastic Implementation of the Disparity Energy Model for Depth Perception," *Journal of Signal Processing Systems (JSPS)*, Dec. 2016.
  - [6] T. Hanyu, T. Endoh, D. Suzuki, H. Koike, Y. Ma, N. Onizawa, M. Natsui, S. Ikeda, and H. Ohno, "Standby-Power-Free Integrated Circuits Using MTJ-Based VLSI Computing," *Proc. IEEE*, vol.104, no.10, pp.1844-1863, Oct. 2016.
  - [7] N. Onizawa, D. Katagiri, W. J. Gross, and T. Hanyu, "Analog-to-Stochastic Converter Using Magnetic Tunnel Junction Devices for Vision Chips," *IEEE Trans. on Nanotechnology*, vol. 15, no. 5, pp. 705-714, Sept. 2016.
  - [8] T. Endoh, H. Koike, S. Ikeda, T. Hanyu, and H. Ohno, "An Overview of Nonvolatile Emerging Memories - Spintronics for Working Memories -," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS)*, Vol. 6, No. 2, pp. 109-119, Jun. 2016.
- 2015 年度 / FY 2015
    - [1] N. Onizawa, N. Sakimura, R. Nebashi, T. Sugibayashi, and T. Hanyu, "Evaluation of Soft-Delay-Error Effects in Content-Addressable Memory," *Journal of Multiple Valued Logic & Soft Computing*, Vol. 26, Issue 1/2, pp. 125-140, 2016.
    - [2] N. Onizawa, H. Jarollahi, T. Hanyu, and W. J. Gross, "Hardware Implementation of Associative Memories Based on Multiple-Valued Sparse Clustered Networks," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS)*, Vol. 6, No.1, pp. 13-24, Mar. 2016.
    - [3] Y. Ma, S. Miura, H. Honjo, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, "A 600- $\mu$ W Ultra-Low-Power Associative Processor for Image Pattern Recognition Employing MTJ-Based Nonvolatile Memories with Autonomic Intelligent Power-Gating (IPG) Scheme," *Japanese Journal of Applied Physics (JJAP)*, Volume 55, Number 4S, pp. 04EF15-1-11, Mar. 2016.
    - [4] N. Onizawa, D. Katagiri, K. Matsumiya, W. J. Gross, and T. Hanyu, "Gabor Filter Based on Stochastic Computation," *IEEE Signal Processing Letters*, vol. 22, no. 9, pp. 1224-1228, Sept. 2015.
    - [5] H. Jarollahi, V. Gripon, N. Onizawa, and W. J. Gross, "Algorithm and Architecture for a Low-Power Content-Addressable Memory Based on Sparse Clustered Networks," *IEEE Trans. VLSI Syst.*, vol. 23, no. 4, pp. 642-653, Apr. 2015.
    - [6] H. Koike, T. Ohsawa, S. Miura, H. Honjo, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, "Power-gated 32 bit microprocessor with a power controller circuit activated by deep-sleep-mode instruction achieving ultra-low power operation," *Japanese Journal of Applied Physics (JJAP)*, vol. 54, no. 4, pp. 04DE08, Apr. 2015.
  - 2014 年度 / FY 2014
    - [1] D. Suzuki and T. Hanyu, "Nonvolatile Field-Programmable Gate Array Using 2-Transistor-1-Magnetic-Tunnel-Junction-Vel-Based Multi-Context Array for Power

- and Area Efficient Dynamically Reconfigurable Logic," Japanese Journal of Applied Physics (JJAP), vol. 54, no. 4S, pp. 04DE01-1~04DE01-5, Mar. 2015.
- [2] M. Natsui, D. Suzuki, N. Sakimura, R. Nebashi, Y. Tsuji, A. Morioka, T. Sugibayashi, S. Miura, H. Honjo, K. Kinoshita, S. Ikeda, T. Endoh, H. Ohno, and T. Hanyu, "Nonvolatile Logic-in-Memory LSI Using Cycle-Based Power Gating and its Application to Motion-Vector Prediction," IEEE Journal of Solid-State Circuits (JSSC), vol. 50, no. 2, pp. 476-489, Feb. 2015.
- [3] D. Suzuki and T. Hanyu, "Magnetic-Tunnel-Junction Based Low-Energy Nonvolatile Flip-Flop Using An Area-Efficient Self-Terminated Write Driver," Journal of Applied Physics (JAP), vol. 117, pp. 17B504-1~17B504-3, Jan. 2015.
- [4] H. Jarollahi, N. Onizawa, V. Gripon, N. Sakimura, T. Sugibayashi, T. Endoh, H. Ohno, and T. Hanyu, and W. J. Gross, "A Non-Volatile Associative Memory-Based Context-Driven Search Engine Using 90 nm CMOS/MTJ-Hybrid Logic-in-Memory Architecture," IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS), vol. 4, no. 4, pp. 460-474, Dec. 2014.
- [5] D. Suzuki, M. Natsui, A. Mochizuki, and T. Hanyu, "Cost-Efficient Self-Terminated Write Driver for Spin-Transfer-Torque RAM and Logic," IEEE Trans. Magn., vol. 50, no. 11, pp. 3402104~1-3402104~4, Nov. 2014.
- [6] N. Onizawa and T. Hanyu, "Soft-Error Tolerant Transistor/Magnetic-Tunnel-Junction Hybrid Non-Volatile C-element," IEICE Electronics Express (ELEX), vol. 11, no. 24, pp. 20141017, Nov. 2014.
- [7] N. Onizawa, W. J. Gross, T. Hanyu, and V. C. Gaudet, "Asynchronous Stochastic Decoding of Low-Density Parity-Check Codes: Algorithm and Simulation Model," IEICE Trans. Inf. and Syst., vol. E97-D, no. 9, pp. 2286-2295, Sept. 2014.
- [8] A. Mochizuki, H. Shirahama, Y. Watanabe, and T. Hanyu, "Design of an Energy-Efficient Ternary Current-Mode Intra-Chip Communication Link for an Asynchronous Network-on-Chip," IEICE Trans. Inf. and Syst., vol. E97-D, no. 9, pp. 2304-2311, Sept. 2014.
- [9] N. Onizawa, W. J. Gross, T. Hanyu, and V. C. Gaudet, "Clockless Stochastic Decoding of Low-Density Parity-Check Codes: Architecture and Simulation Model," Journal of Signal Processing Systems (JSPS), vol. 76, no. 2, pp. 185-194, Aug. 2014.
- [10] D. Suzuki, N. Sakimura, M. Natsui, A. Mochizuki, T. Sugibayashi, T. Endoh, H. Ohno, and T. Hanyu, "A Compact Low-Power Nonvolatile Flip-Flop Using Domain-Wall-Motion-Device-Based Single-Ended Structure," IEICE Electronics Express (ELEX), vol. 11, no. 13, pp. 20140296~1-20140296~11, Jun. 2014.
- [11] N. Onizawa, A. Mochizuki, H. Shirahama, M. Imai, T. Yoneda, and T. Hanyu, "High-Throughput Partially Parallel Inter-Chip Link Architecture for Asynchronous Multi-Chip NoCs" IEICE Trans. Inf. and Syst., vol. E97-D, no. 6, pp. 1546-1556, Jun.

- 2014.
- [12] T. Ohsawa, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, "Trend of tunnel magnetoresistance and variation in threshold voltage for keeping data load robustness of metal-oxide-semiconductor/magnetic tunnel junction hybrid latches," *Journal of Applied Physics (JAP)*, vol. 115, pp. 17C728, May 2014.
  - [13] N. Sakimura, R. Nebashi, M. Natsui, H. Ohno, T. Sugibayashi, and T. Hanyu, "Analysis of single-event upset of magnetic tunnel junction used in spintronic circuits caused by radiation-induced current," *Journal of Applied Physics (JAP)*, vol. 115, pp. 17B748, May 2014.
  - [14] S. Matsunaga, A. Mochizuki, N. Sakimura, R. Nebashi, T. Sugibayashi, T. Endoh, H. Ohno, and T. Hanyu, "Complementary 5T-4MTJ Nonvolatile TCAM Cell Circuit with Phase-Selective Parallel Writing Scheme," *IEICE Electronics Express (ELEX)*, vol. 11, no. 10, pp. 20140297~1-20140297~7, Apr. 2014.
  - [15] H. Jarollahi, N. Onizawa, V. Gripon, and W. J. Gross, "Algorithm and Architecture of Fully-Parallel Associative Memories Based on Sparse Clustered Networks," *Journal of Signal Processing Systems (JSPS)*, vo. 76, no. 3, pp. 235-247, Apr. 2014.
- 2013 年度 / FY 2013
    - [1] N. Onizawa, S. Matsunaga, V. C. Gaudet, W. J. Gross, and T. Hanyu, "High-Throughput Low-Energy Self-Timed CAM Based on Reordered Overlapped Search Mechanism," *IEEE Trans. Circuits and Syst. I Reg. Papers*, vol. 61, no. 3, pp. 865-876, Mar. 2014.
    - [2] N. Onizawa, A. Matsumoto, T. Funazaki, and T. Hanyu, "High-Throughput Compact Delay-Insensitive Asynchronous NoC Router," *IEEE Trans. Computers*, vol. 63, no. 3, pp. 637-649, Mar. 2014.
    - [3] D. Suzuki, M. Natsui, A. Mochizuki, S. Miura, H. Honjo, K. Kinoshita, H. Sato, S. Fukami, S. Ikeda, T. Endoh, H. Ohno, and T. Hanyu, "Design and Fabrication of a Perpendicular Magnetic Tunnel Junction Based Nonvolatile Programmable Switch Achieving 40% Less Area Using Shared-Control Transistor Structure," *Journal of Applied Physics (JAP)*, vol. 115, no. 17, pp. 17B742-1~17B742-3, Mar. 2014.
    - [4] H. Koike, T. Ohsawa, S. Miura, H. Honjo, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, "Wide operational margin capability of 1 kbit spin-transfer-torque memory array chip with 1-PMOS and 1-bottom-pin-magnetic-tunnel-junction type cell," *Japanese Journal of Applied Physics*, vol. 53, no. 4S, pp. 04ED13, Mar. 2014.
    - [5] T. Ohsawa, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, "A two-transistor bootstrap type selective device for spin-transfer-torque magnetic tunnel junctions," *Japanese Journal of Applied Physics (JJAP)*, vol. 53, no. 4, pp. 04ED03, Feb. 2014.
    - [6] D. Suzuki, M. Natsui, A. Mochizuki, and T. Hanyu, "Design and Evaluation of a

67% Area-Less 64-Bit Parallel Reconfigurable 6-Input Nonvolatile Logic Element Using Domain-Wall Motion Devices," Japanese Journal of Applied Physics (JJAP), vol. 53, no. 4S, pp. 04EM03-1~04EM03-5, Feb. 2014.

- [7] S. Matsunaga, A. Mochizuki, T. Endoh, H. Ohno, and T. Hanyu, "Design of an Energy-Efficient 2T-2MTJ Nonvolatile TCAM Based on a Parallel-Serial-Combined Search Scheme," IEICE Electronics Express (ELEX), vol. 11, no. 3, pp. 20131006-1~20131006-10, Jan. 2014.
- [8] M.asanori Natsui and T.akahiro Hanyu, "Design of Process-Variation-Resilient Analog Basic Components Using Magnetic-Tunnel-Junction Devices," Journal of Multiple-Valued Logic and Soft Computing, vol.21, no.5-6, pp.597-608, Dec. 2013.
- [9] T.akahiro Hanyu, "Challenge of MTJ-Based Nonvolatile Logic-in-Memory Architecture for Dark-Silicon Logic LSI," SPIN, vol. 3, no. 4, pp. 1340014-1~1340014-8, Dec. 2013.
- [10] D.aisuke Suzuki, M.asanori Natsui, A.kira Mochizuki, S.adahiko Miura, H.iroaki Honjo, K.eizo Kinoshita, H.ideo Sato, S.hoji Ikeda, T.etsuo Endoh, H.ideo Ohno, and T.akahiro Hanyu, "Fabrication of a Magnetic Tunnel Junction-Based 240-Tile Nonvolatile Field-Programmable Gate Array Chip Skipping Wasted Write Operations for Greedy Power-Reduced Logic Applications," IEICE Electronics Express (ELEX), vol. 10, no. 23, pp. 20130772-1~20130772-10, Nov. 2013.
- [11] N.aoya Onizawa, A.tsushi Matsumoto, and T.akahiro Hanyu, "Open-Fault Resilient Multiple-Valued Codes for Reliable Asynchronous Global Communication Links," IEICE Trans. Inf. & Syst., vol. E96D, no. 9, pp. 1952-1961, Sept. 2013.
- [12] T. Ohsawa, H. Koike, S. Miura, H. Honjo, K. Kinoshita, S. Ikeda, T. Hanyu, H. Ohno and T. Endoh, "A 1 Mb Nonvolatile Embedded Memory Using 4T2MTJ Cell With 32 b Fine-Grained Power Gating Scheme," IEEE Journal of Solid-State Circuits (JSSC), vol. 48, no. 6, pp. 1511~1520, Jun. 2013.
- [13] 松本敦, 河野宇朗, 鬼沢直哉, 羽生貴弘, "制御情報共有化に基づく非同期細粒度パワーゲーティング技術とそのオンチップルータへの応用," 電子情報通信学会論文誌 C, vol. J96-C, no. 5, pp. 73-84, May 2013.
- [14] N.aoya Onizawa, S.houn Matsunaga, V.incent C. Gaudet, W.arren J. Gross, and T.akahiro Hanyu, "High-Throughput CAM Based on a Synchronous Overlapped Search Scheme," IEICE Electronics Express (ELEX), vol. 10, no. 7, pp. 20130148-1~20130148-9, Apr. 2013.

(2) 原著論文と同等に扱う査読付国際会議発表論文

Full papers in refereed conference proceedings equivalent to journal papers

- 2018年度 / FY 2018

- [11] M. Natsui, D. Suzuki, A. Tamakoshi, T. Watanabe, H. Honjo, H. Koike, T. Nasuno, Y. Ma, T. Tanigawa, Y. Noguchi, M. Yasuhira, H. Sato, S. Ikeda, H. Ohno, T. Endoh, and T. Hanyu, "An FPGA-Accelerated Fully Nonvolatile Microcontroller Unit for Sensor-Node Applications in 40nm CMOS/MTJHybrid Technology Achieving 47.14μW Operation at 200MHz," 2019 IEEE International Solid-State Circuits

書式変更: フランス語 (フランス)

書式変更: インデント : ぶら下げインデント : 1.36 字, 左 8.09 字, 最初の行 : -1.36 字

Conference (ISSCC2019), pp. 202-203, Feb. 2019.

● 2016 年度 / FY 2016

[1] T. Hanyu, D. Suzuki, N. Onizawa, and M. Natsui, "Three-Terminal MTJ-Based Nonvolatile Logic Circuits with Self-Terminated Writing Mechanism for Ultra-Low-Power VLSI Processor," Design, Automation & Test in Europe (DATE), pp. 548-553, Mar. 2017.

書式変更: インデント: ぶら下げインデント: 0.68 字, 左 8.09 字, 最初の行: -0.68 字

● 2015 年度 / FY 2015

[1] D. Suzuki, M. Natsui, A. Mochizuki, S. Miura, H. Honjo, H. Sato, S. Fukami, S. Ikeda, T. Endoh, H. Ohno, and T. Hanyu, "Fabrication of a 3000-6-Input-LUTs Embedded and Block-Level Power-Gated Nonvolatile FPGA Chip Using p-MTJ-Based Logic-in-Memory Structure," Symp. VLSI Circuits Dig. Tech. Papers, pp. 172-173, Jun. 2015.

● 2014 年度 / FY 2014

[1] T. Hanyu, D. Suzuki, N. Onizawa, S. Matsunaga, M. Natsui, and A. Mochizuki, "Spintronics-Based Nonvolatile Logic-in-Memory Architecture Towards an Ultra-Low-Power and Highly Reliable VLSI Computing Paradigm," Proc. Design Automation & Test in Europe (DATE), pp. 1006-1011, Mar. 2015.

書式変更: インデント: ぶら下げインデント: 1.36 字, 左 8.09 字, 最初の行: -1.36 字

[2] T. Hanyu, D. Suzuki, A. Mochizuki, M. Natsui, N. Onizawa, T. Sugibayashi, S. Ikeda, T. Endoh, and H. Ohno, "Challenge of MOS/MTJ-Hybrid Nonvolatile Logic-in-Memory Architecture in Dark-Silicon Era," IEEE International Electron Devices Meeting (IEDM) Technical Digest, pp. 28.2.1-28.2.3, Dec. 2014.

● 2013 年度 / FY 2013

[1] N. Sakimura, Y. Tsuji, R. Nebashi, H. Honjo, A. Morioka, K. Ishihara, K. Kinoshita, S. Fukami, S. Miura, N. Kasai, T. Endoh, H. Ohno, T. Hanyu, and T. Sugibayashi, "A 90nm 20MHz Fully Nonvolatile Microcontroller for Standby-Power-Critical Applications," IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp. 184-185, Feb. 2014.

[2] S. ~~heun~~ Matsunaga, N. ~~oboru~~ Sakimura, R. ~~yusuke~~ Nebashi, Y. ~~ukihide~~ Tsuji, A. ~~yuka~~ Morioka, T. ~~adahiko~~ Sugibayashi, S. ~~adahiko~~ Miura, H. ~~iroaki~~ Honjo, K. ~~eizo~~ Kinoshita, H. ~~ideo~~ Sato, S. ~~unsuke~~ Fukami, M. ~~asanori~~ Natsui, A. ~~kira~~ Mochizuki, S. ~~hoji~~ Ikeda, T. ~~etsuo~~ Endoh, H. ~~ideo~~ Ohno, and T. ~~akahiro~~ Hanyu, "Fabrication of a 99%-Energy-Less Nonvolatile Multi-Functional CAM Chip Using Hierarchical Power Gating for a Massively-Parallel Full-Text-Search Engine," Symp. ~~osium-on~~ VLSI Circuits Dig. ~~est-of~~ Tech. ~~nieal~~ Papers, pp. 106-107, Jun. 2013.

(3) 査読付国際会議 / Refereed pPapers in refereed-conference proceedings

● 2018 年度 / FY 2018

[1] M. Natsui, T. Chiba, and T. Hanyu, "MTJ-Based Nonvolatile Ternary Logic Gate for Quantized Convolutional Neural Networks," IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2pages, Oct. 2018.

[2] D. Suzuki and T. Hanyu, "A High-Read-Margin MTJ-Based Fracturable Lookup Table Circuit Using a Series-NMOS-Resistance-Reduced Logic-in-Memory Structure," Extended Abstracts of 2018 International Conference on Solid State Devices and Materials (SSDM2018), B-4-02, pp. 117-118, Tokyo, Sept. 2018.

[3] M. Natsui, T. Chiba, and T. Hanyu, "MTJ-Based Nonvolatile Logic Gate for Binarized Convolutional Neural Networks and Its Impact," Extended Abstracts of 2018 International Conference on Solid State Devices and Materials (SSDM2018), B-3-03, pp. 109-110, Tokyo, Sept. 2018.

[4] S. Mukaida, N. Onizawa, and T. Hanyu, "Design of a Low-Power MTJ-Based True Random Number Generator Using a Multi-Voltage/Current Converter," Proceedings of the 48th International Symposium on Multiple-Valued Logic (ISMVL), pp. 156-161, May 2018.



- [5] H. Suda, M. Natsui, and T. Hanyu, "Systematic Intrusion Detection Technique for an In-Vehicle Network Based on Time-Series Feature Extraction," Proceedings of the 48th International Symposium on Multiple-Valued Logic (ISMVL), pp. 56-61, May 2018.
- [6] S. Koshita, N. Onizawa, T. Hanyu, and M. Kawamata, "High-Precision Stochastic State-Space Digital Filters Based on Minimum Roundoff Noise Structure," Proceedings of the 2018 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1-5, May 2018.
- 2017 年度 / FY 2017
  - [1] M. Imai, N. Onizawa, T. Hanyu, T. Yoneda, "Minimum Power Supply Asynchronous Circuits for Re-initialization Free Computing," Proc. The 21st Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2018), pp. 283-288, Mar. 2018.
  - [2] D. Suzuki, T. Hanyu, "Design of an MTJ-Based Nonvolatile LUT Circuit with a Data-Update Minimized Shift Operation for an Ultra-Low-Power FPGA," 26th ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA 2018), pp. 291, Feb. 2018.
  - [3] N. Onizawa, S. Koshita, S. Sakamoto, M. Kawamata, and T. Hanyu, "Design of Stochastic Asymmetric Compensation Filter for Auditory Signal Processing," Proc. 5th IEEE Global Conference on Signal and Information Processing (GlobalSIP), pp. 1315-1319, Nov. 2017.
  - [4] M. Natsui and T. Hanyu, "Energy-Efficient High-Performance Nonvolatile VLSI Processor with a Temporary-Data Reuse Technique," Extended Abstracts of 2017 International Conference on Solid State Devices and Materials (SSDM2017), pp.977-978, Sendai, sept. 2017.
  - [5] D. Suzuki and T. Hanyu, "Design of an MTJ-Oriented Nonvolatile Lookup Table Circuit with Write-Operation Minimizing," Extended Abstracts of the 2017 International Conference on Solid State Devices and Materials (SSDM2017), pp.195-196, Sendai, sept. 2017.
  - [6] M. Rizk, J.-P. Diquet, N. Onizawa, M. J. Sepulveda, Y. Akgul, V. Gripon, A. Baghdadi, and T. Hanyu, "NoC-MRAM Architecture for Memory-Based Computing: Database-Search Case Study," Proc. 15th IEEE International New Circuits and Systems Conference (NEWCAS), pp. 309-312, Jun. 2017.
  - [7] N. Onizawa, S. Koshita, S. Sakamoto, M. Kawamata, and T. Hanyu, "Evaluation of Stochastic Cascaded IIR Filters," 47th IEEE International Symposium on Multiple-Valued Logic (ISMVL), May 2017.
  - [8] N. Onizawa, M. Imai, T. Hanyu and T. Yoneda, "MTJ-based asynchronous circuits for re-initialization free computing against power failures," Proc. of 23rd IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC), pp. 118-125, May 2017.
- 2016 年度 / FY 2016
  - [1] D. Suzuki and T. Hanyu, "A Self-Terminated One-Phase Write Driver for Complementary-MTJ Based Memory Cells," Abst. 61st Annual Conference on Magnetism & Magnetic Materials (MMM), p. 554, Nov. 2016.
  - [2] D. Suzuki and T. Hanyu, "A Self-Terminated Energy-Efficient Nonvolatile Flip-Flop Using 3-terminal Magnetic Tunnel Junction Device," Proc. of 2016 International Conference on Solid State Devices and Materials (SSDM2016), pp. 911-912, sept. 2016.
  - [3] N. Onizawa and T. Hanyu, "A Soft/Write-Error Resilient CMOS/MTJ Nonvolatile Flip-Flop Based on Majority-Decision Shared Writing," Proc. of 2016 International Conference on Solid State Devices and Materials (SSDM2016), pp. 79-80, sept. 2016.
  - [4] M. Natsui, A. Tamakoshi, T. Endoh, H. Ohno, and T. Hanyu, "Highly Reliable MTJ-Based Nonvolatile Logic-in-Memory LSI with Content-Aware Write Error Masking Scheme," Proc. of 2016 International Conference on Solid State Devices and

Materials (SSDM2016), pp. 77-78, sept. 2016.

- [5] A. Arash, F. Leduc-Primeau, N. Onizawa, T. Hanyu, and W. J. Gross, "VLSI Implementation of Deep Neural Networks Using Integral Stochastic Computing," Proc. 6th International Symposium on Turbo Codes & Iterative Information Processing, pp. 216-220, sept. 2016.
- [6] D. Suzuki and T. Hanyu, "A low-power MTJ-based nonvolatile FPGA using self-terminated logic-in-memory structure," Proceeding of International Conference on Field-Programmable Logic and Applications (FPL), pp. 1-4, Aug. 2016.
- [7] M. Natsui, N. Sugaya, and T. Hanyu, "A Study of a Top-Down Error Correction Technique Using Recurrent-Neural-Network-Based Learning", Proc. 14th IEEE International New Circuits and Systems Conference (NEWCAS), Jun. 2016.
- [8] N. Onizawa, and T. Hanyu, "Redundant STT-MTJ-Based Nonvolatile Flip-Flops for Low Write-Error-Rate Operations," Proc. 14th IEEE International New Circuits and Systems Conference (NEWCAS), pp. 1-4, Jun. 2016.
- [9] M. Natsui, A. Tamakoshi, A. Mochizuki, H. Koike, H. Ohno, T. Endoh, and T. Hanyu, "Stochastic Behavior-Considered VLSI CAD Environment for MTJ/MOS-Hybrid Microprocessor Design," 2016 IEEE International Symposium on Circuits and Systems (ISCAS2016), pp. 1878-1881, May 2016.
- [10] S. Koshita, N. Onizawa, M. Abe, T. Hanyu, and M. Kawamata, "Realization of FIR Digital Filters Based on Stochastic/Binary Hybrid Computation," Proc. of the 46th IEEE International Symposium on Multiple-Valued Logic (ISMVL 2016), pp. 223-228, May 2016.
- [11] N. Sugaya, M. Natsui, and T. Hanyu, "Context-Based Error Correction Scheme Using Recurrent Neural Network for Resilient and Efficient Intra-Chip Data Transmission," Proc. of the 46th IEEE International Symposium on Multiple-Valued Logic (ISMVL 2016), pp. 72-77, May 2016.
- [12] D. Suzuki and T. Hanyu, "Energy-Efficient and Highly-Reliable Nonvolatile FPGA Using Self-Terminated Power-Gating Scheme," Proc. of the 46th IEEE International Symposium on Multiple-Valued Logic (ISMVL), pp. 5-10, May 2016.
- 2015 年度 / FY 2015
  - [1] N. Onizawa, S. Koshita, S. Sakamoto, M. Abe, M. Kawamata, and T. Hanyu, "Gammatorne Filter Based on Stochastic Computation," Proc. 41st IEEE International Conference on Acoustic, Speech, and Signal Processing (ICASSP), pp. 1036-1040, Mar. 2016.
  - [2] A. Mochizuki, N. Onizawa, A. Tamakoshi, and T. Hanyu, "Multiple-Event-Transient Soft-Error Gate-Level Simulator for Harsh Radiation Environments," Proceedings of IEEE TENCON 2015, no.1658, Nov. 2015.
  - [3] A. Mochizuki, N. Yube, and T. Hanyu, "Design of a Computational Nonvolatile RAM for a Greedy Energy-Efficient VLSI Processor," 41st Annual Conference of the IEEE Industrial Electronics Society (IECON2015), pp. 003283-003288, Nov. 2015.
  - [4] K. Boga, N. Onizawa, F. L.-Primeau, K. Matsumiya, T. Hanyu, and W. Gross, "Stochastic Implementation of the Disparity Energy Model for Depth Perception," IEEE International Workshop on Signal Processing Systems (SiPS), Oct. 2015.
  - [5] D. Suzuki and T. Hanyu, "Design of an MTJ-Based Nonvolatile Lookup Table Circuit Using an Energy-Efficient Single-Ended Logic-In-Memory Structure," Proc. IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 317-320, Aug. 2015.
  - [6] N. Onizawa, S. Koshita, and T. Hanyu, "Scaled IIR Filter Based on Stochastic Computation," Proc. IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 297-300, Aug. 2015.
  - [7] N. Onizawa, D. Katagiri, K. Matsumiya, W. J. Gross, and T. Hanyu, "Frequency-Flexible Stochastic Gabor Filter," Proc. 2015 IEEE International Conference on Digital Signal Processing (DSP), pp. 458-462, Jul. 2015.
  - [8] N. Onizawa, A. Mochizuki, A. Tamakoshi, and T. Hanyu, "A Sudden Power-Outage

書式変更: 間隔 段落後: 0.2 行, グリッドへ配置しない

- Resilient Nonvolatile Microprocessor for Immediate System Recovery," IEEE/ACM Int. Symp. Nanoscale Architectures (NANOARCH), pp. 39-44, Jul. 2015.
- [9] S. Oosawa, T. Konishi, N. Onizawa, and T. Hanyu, "Design of an STT-MTJ Based True Random Number Generator Using Digitally Controlled Probability-Locked Loop," Proc. 13th IEEE International NEWCAS Conference, pp. 468-471, pp. 1-4, Jun. 2015.
- [10] T. Hanyu, "Challenge of MOS/MTJ-Hybrid Integrated Circuits Based on Nonvolatile Logic-in-Memory Architecture," 2015 Spintronics Workshop on LSI, P.7, Jun. 15, 2015.
- [11] D. Katagiri, N. Onizawa, and T. Hanyu, "Early-Stage Operation-Skipping Scheme for Low-Power Stochastic Image Processors," Proc. IEEE International Symposium on Multiple-Valued Logic (ISMVL 2015), pp.109-114, May 2015.
- [12] T. Akutsu, M. Natsui, and T. Hanyu, "Write-Operation Frequency Reduction for Nonvolatile Logic LSI with a Short Break-Even Time," Proc. IEEE International Symposium on Multiple-Valued Logic (ISMVL 2015), pp.152-157, May 2015.
- 2014 年度 / FY 2014
    - [1] T. Yoneda, M. Imai, Hiroshi Saito, T. Hanyu, K. Kise, and Y. Nakamura, "An NoC-based evaluation platform for safety-critical automotive applications," Proc. 2015 Feb 5 IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS), pp. 679-682, Feb. 2015.
    - [2] T. Hanyu, D. Suzuki, A. Mochizuki, M. Natsui, N. Onizawa, T. Sugibayashi, S. Ikeda, T. Endoh, and H. Ohno, "Challenge of MOS/MTJ-Hybrid Nonvolatile Logic-in-Memory Architecture in Dark-Silicon Era," IEEE International Electron Devices Meeting (IEDM) Technical Digest, pp 28.2.1-28.2.3, Dec. 2014.
    - [3][2] D. Suzuki and T. Hanyu, "MTJ-Based Low-Energy Nonvolatile Flip-Flop Using Area-Efficient Self-Terminated Write Driver," Abst. 59th Annual Conference on Magnetism & Magnetic Materials (MMM), p. 813, Nov. 2014.
    - [4][3] A. Mochizuki, H. Shirahama, N. Onizawa, and T. Hanyu, "Highly Reliable Single-Ended Current-Mode Circuit for an Inter-Chip Asynchronous Communication Link," Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), pp. 683-686, Nov. 2014.
    - [5][4] H. Jarollahi, N. Onizawa, T. Hanyu, and W. J. Gross, "Algorithm and Architecture for a Multiple-Field Context-Driven Search Engine Using Fully-Parallel Clustered Associative Memories," Proc. 2014 IEEE International Workshop on Signal Processing Systems (SIPS), pp.133-138, Oct. 2014.
    - [6][5] D. Suzuki and T. Hanyu, "Nonvolatile FPGA Using 2T-1MTJ-Cell-Based Multi-Context Array for Power and Area Efficient Dynamically Reconfigurable Logic," Ext. Abst. International Conference on Solid State Devices and Materials (SSDM), pp. 450-451, sept. 2014.
    - [7][6] N. Onizawa, D. Katagiri, W. J. Gross, and T. Hanyu, "Analog-to-Stochastic Converter Using Magnetic-Tunnel Junction Devices," Proc. IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH), pp.59-64, Jul. 2014.
    - [8][7] H. Shirahama, A. Mochizuki, Y. Watanabe, and T. Hanyu, "Energy-Aware Current-Mode Inter-Chip Link for a Dependable GALS NoC Platform," Proc. IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1865-1868, Jun. 2014.
    - [9][8] R. Nebashi, N. Sakimura, H. Honjo, A. Morioka, Y. Tsuji, K. Ishihara, K. Tokutome, S. Miura, S. Fukami, K. Kinoshita, T. Hanyu, T. Endoh, N. Kasai, H. Ohno, and T. Sugibayashi, "A Delay Circuit with 4-Terminal Magnetic-Random-Access-Memory Device for Power-Efficient Time-Domain Signal Processing," Proc. IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1588-1591, Jun. 2014.
    - [10][9] M. Natsui and T. Hanyu, "Fabrication of a MTJ-Based Multilevel Resistor

Towards Process-Variation-Resilient Logic LSI," Proc. 12th IEEE International NEWCAS Conference, pp. 468-471, Jun. 2014.

- [44][10] N. Onizawa, S. Matsunaga, and T. Hanyu, "Design of a Soft-Error Tolerant 9-Transistor/6-Magnetic-Tunnel-Junction Hybrid Cell Based Nonvolatile TCAM," Proc. 12th IEEE International NEWCAS Conference, pp. 193-196, Jun. 2014.
- [42][11] N. Onizawa, S. Matsunaga, and T. Hanyu, "A Compact Soft-Error Tolerant Asynchronous TCAM Based on a Transistor/Magnetic-Tunnel-Junction Hybrid Dual-Rail Word Structure," 20th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC), pp. 1-8, May 2014 (Best Paper Finalist).
- [43][12] D. Suzuki, M. Natsui, A. Mochizuki, and T. Hanyu, "Optimally Self-Terminated Compact Switching Circuit Using Continuous Voltage Monitoring Achieving High Read Margin for STT MRAM and Logic," Abst. International Magnetics Conference (INTERMAG), pp. 2506-2507, May 2014.
- [44][13] M. Natsui and T. Hanyu, "Variation-Effect Analysis of MTJ-Based Multiple-Valued Programmable Resistors," Proc. 44th IEEE International Symposium on Multiple-Valued Logic (ISMVL), pp. 243-247, May 2014.
- [45][14] H. Jarollahi, N. Onizawa, T. Hanyu, and W. J. Gross, "Associative Memories Based on Multiple-Valued Sparse Clustered Networks," Proc. 44th IEEE International Symposium on Multiple-Valued Logic (ISMVL), pp. 208-213, May 2014.
- [46][15] N. Onizawa, S. Matsunaga, N. Sakimura, R. Nebashi, T. Sugibayashi, and T. Hanyu, "Soft-Delay-Error Evaluation in Content-Addressable Memory," Proc. 44th IEEE International Symposium on Multiple-Valued Logic (ISMVL), pp. 220-225, May 2014.
- [47][16] A. Mochizuki, H. Shirahama, and T. Hanyu, "Design of a Quaternary Single-Ended Current-Mode Circuit for an Energy-Efficient Inter-Chip Asynchronous Communication Link," Proc. 44th IEEE International Symposium on Multiple-Valued Logic (ISMVL), pp. 67-72, May 2014.
- [48][17] T. Ohsawa, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, "Studies on readability and write-ability of fast access STT-MRAMs," 2014 Proceedings of Technical Program - 2014 International Symposium on VLSI Technology, Systems and Application (VLSI-TSA), pp. 6839665, Apr. 2014.

● 2013 年度 / FY 2013

- [3] D.aisuke Suzuki, M.asanori Natsui, A.kira Mochizuki, S.adahiko Miura, H.iroaki Honjo, K.eizo Kinoshita, H.ideo Sato, S.hunsuke Fukami, S.hoji Ikeda, T.etsuo Endoh, H.ideo Ohno, T.akahiro Hanyu, "Fabrication of a Perpendicular-MTJ-Based Compact Nonvolatile Programmable Switch Using Shared-Write-Control-Transistor Structure," Abst. 58th Annual Conference on Magnetism & Magnetic Materials (MMM), p. 233, Nov. 2013.
- [4] N.aoya Onizawa, S.houn Matsunaga, V.incent C. Gaudet, W.arren J. Gross, and T.akahiro Hanyu, "Probabilistic Search Schemes for High-Speed Low-Power Content-Addressable Memories," Proc. International Conference on Analog VLSI Circuits, pp. 100-105, Oct. 2013.
- [5] D.aisuke Suzuki, M.asanori Natsui, A.kira Mochizuki, and T.akahiro Hanyu "Design of a Three-Terminal MTJ-Based Nonvolatile Logic Element with a 2-ns 64-Bit-Parallel Reconfiguration Capability," Ext. Abst. International Conference on Solid State Devices and Materials (SSDM), pp. 386-387, sept. 2013.
- [6] T.akahiro Hanyu, "Towards a Nonvolatile VLSI Processor Using MTJ/MOS-Hybrid Logic-in-Memory Architecture," Non-Volatile Memory Technology Symposium (NVMTS), D-2, Aug. 2013. (Invited ~~Talk~~).
- [7] T.akahiro Hanyu, Y.uma Watanabe, and A.tsushi Matsumoto, "Accurate and High-Speed Asynchronous Network-on-Chip Simulation Using Physical Wire-Delay Information," Proc. 43rd IEEE International Symposium on Multiple-Valued Logic (ISMVL), pp. 266-271, May 2013.
- [8] N.aoya Onizawa, W.arren J. Gross, T.akahiro Hanyu, and V.incent C. Gaudet,

書式変更: フランス語 (フランス)

書式変更: フランス語 (フランス)

"Lowering Error Floors in Stochastic Decoding of LDPC Codes Based on Wire-Delay Dependent Asynchronous Updating," 43rd IEEE International Symposium on Multiple-Valued Logic (ISMVL), Proc. pp. 254-259, May 2013.

- [9] M.[asanori](#) Natsui, K.[iyohiro](#) Kashiuchi, and T.[akahiro](#) Hanyu, "Design and Evaluation of a Differential Switching Gate for Low-Voltage Applications," Proc. 43rd IEEE International Symposium on Multiple-Valued Logic (ISMVL), pp. 147-151, May 2013.
- [10] N.[aoya](#) Onizawa, W.[arren](#) J. Gross, and T.[akahiro](#) Hanyu, "A Low-Energy Variation-Tolerant TCAM for Network Intrusion Detection Systems," Proc. 19th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC), pp. 8-15, May 2013.
- [11] T.[akahiro](#) Hanyu, "Challenge of MTJ/MOS-Hybrid Logic-in-Memory Architecture for Nonvolatile VLSI Processor," Proc. IEEE International Symposium on Circuits and Systems (ISCAS), pp. 117-120, May 2013 (Invited Talk).
- [12] M.[asanori](#) Natsui, N.[oboru](#) Sakimura, T.[adahiko](#) Sugibayashi, and T.[akahiro](#) Hanyu, "MTJ/MOS-Hybrid Logic-Circuit Design Flow for Nonvolatile Logic-in-Memory LSI," Proc. IEEE International Symposium on Circuits and Systems (ISCAS), pp. 105-108, May 2013.

書式変更: フランス語 (フランス)

(4) 査読なし国際会議・シンポジウム等 / Papers in conference proceedings

- 2018 年度 / FY 2018
  - [1] N. Onizawa, S. C. Smithson, B. H. Meyer, W. J. Gross, and T. Hanyu, "*Efficient CMOS Invertible Logic Using Stochastic Computing*," The 6th International Symposium on Brainware LSI, pp. 15, Mar. 2019.
  - [2] D. Suzuki and T. Hanyu, "*MTJ-Based Nonvolatile FPGA and Its Prospects for Brainware LSI Platform*," pp. 7, Mar. 2019.
  - [3] M. Natsui, T. Chiba, and T. Hanyu, "*MTJ-Based Nonvolatile Logic Gates for Quantized Neural Network Hardwares*," The 6th International Symposium on Brainware LSI, pp. 5, Mar. 2019.
- 2017 年度 / FY 2017
  - [1] T. Hanyu, D. Suzuki, and M. Natsui, "R&D of automatically design environments technologies for low-energy consumption and highly functional VLSI processors based on NV memory," 4th CIES Technology Forum, pp. \*\*, Tokyo, Mar. 2018.
  - [2] N. Onizawa, J.-P. Diguët, M. J. Sepulveda, A. Baghdadi, and T. Hanyu, "Energy-Efficient Configurable Database-Search Hardware Based on Sparse Neural Networks," The 5th International Symposium on Brainware LSI, pp. 2, Mar. 2018.
  - [3] D. Suzuki and T. Hanyu, "MTJ-Based Nonvolatile FPGA for Brainware LSI Platform," The 5th International Symposium on Brainware LSI, pp. 3, Mar. 2018.
  - [4] M. Natsui, H. Suda, and T. Hanyu, "Data-Stream-Aware Computing for Highly Dependable VLSI Systems," The 5th International Symposium on Brainware LSI, pp. 8, Mar. 2018.
- 2016 年度 / FY 2016
  - [1] T. Hanyu, "Technologies to automatically design environments for low energy consumption and highly functional VLSI processors based on non-volatile memory (不揮発記憶ベース低消費電力・高性能 VLSI プロセッサの自動設計環境の構築)," 3rd CIES Technology Forum, [1pageP.\\*\\*](#), Tokyo, Mar. 22, 2017.
  - [2] D. Suzuki and T. Hanyu, "Challenge of a Nonvolatile FPGA for a Brainware LSI Platform," The 4th International Symposium on Brainware LSI, [1pageP.\\*\\*](#), Feb. 24-25, 2017.
  - [3] M. Natsui and T. Hanyu, "Brain-Inspired Computing for Error-Resilient VLSI System," The 4th International Symposium on Brainware LSI, [1pageP.\\*\\*](#), Feb. 24-25, 2017.
  - [4] N. Onizawa and T. Hanyu, "Stochastic Computation for Deep Neural Networks," The 4th International Symposium on Brainware LSI, [1pageP.\\*\\*](#), Feb. 24-25, 2017.

- 2015 年度 / FY 2015
    - [1] Masanori Natsui, "Brain-Inspired Computing for Variation-Resilient VLSI System," The 3rd International Symposium on Brainware LSI, P.2, February 26-27, 2016.
    - [2] N. Onizawa, S. Koshita, S. Sakamoto, and T. Hanyu, "Stochastic implementation of auditory filters," The 3rd International Symposium on Brainware LSI, P.7, February 26-27, 2016.
    - [3] Naoya Onizawa, "Stochastic Computation for Brainware LSI," 2015 International Workshop on Emerging Technologies of Microelectronics and Their Application to IoT Paradigm, Dec. 2015.
  - 2014 年度 / FY 2014
    - [1] D. Suzuki and T. Hanyu, "Nonvolatile FPGA Platform for Brainware-LSI Emulation," The 2nd International Symposium on Brainware LSI, P.6, Mar., 2015.
    - [2] N. Onizawa, K. Matsumiya, W. J. Gross and T. Hanyu, "Stochastic Computation for Brainware Massively Parallel Vision Chips," The 2nd International Symposium on Brainware LSI, P.8, Mar., 2015.
  - 2013 年度 / FY 2013
    - [1] T.akahiro Hanyu, "Challenge of MTJ-Based Nonvolatile Logic-in-Memory Architecture Towards Dar-Silicon Logic LSI," Workshop on Network on Chip between HKUST and CREST-DVLSI, Dec.9, 2013.
    - [2] A. Mochizuki, H. Shirahama, and T. Hanyu, "Energy-Aware Current-Mode Inter-Chip Link for an Asynchronous NoC Platform," Workshop on Network on Chip between HKUST and CREST-DVLSI, Dec.9, 2013.
    - [3] K.i.yohiro Kashiuchi, M.asanori Natsui, and T.akahiro Hanyu, "Design of a Low-Voltage Logic Gate Based on Differential-Pair Circuitry," 2013 International Workshop on Emerging ICT, Oct. 2013.
    - [4] Y.uma Watanabe, H.i.rokatsu Shirahama, A.kira Mochizuki and T.akahiro Hanyu, "Design of an Energy-Efficient Inter-Chip Data Transmission Circuit for an Asynchronous NoC Platform," 2013 International Workshop on Emerging ICT, Oct. 2013.
- (5) 総説・解説 / Review articles
- 2017 年度 / FY 2017
    - [1] 羽生貴弘, "MTJ/MOS ハイブリッド回路技術," 応用物理学会誌, 第 86 巻, 第 8 号, pp.662-665, 2017 年 8 月.
    - [2] 鬼沢直哉, 松宮一道, 羽生貴弘, "ストカスティック演算に基づく省エネルギー脳型 LSI 設計技術," IEICE Fundamental Review, vol. 11, no.1, pp. 28-39, July 2017.
- (6) 査読付国内会議 / Refereed proceedings in domestic conferences  
該当なし / None
- (7) 査読なし国内研究会・講演会 / Proceedings in domestic conferences
- 2018 年度 / FY 2018
    - [1] 千葉智貴, 夏井雅典, 羽生貴弘, "MTJ ベースばらつき補正機能を用いた 2 値化ニューラルネットワーク向け低消費電力・省面積 bitcount 回路の構成," 多値論理とその応用研究会 技術研究報告, MVL19-15, pp. 100-105, 2019 年 1 月.
    - [2] Daisuke Suzuki and Takahiro Hanyu, "Recent Trends in MTJ-Based Nonvolatile FPGA," CSRN-Osaka Annual Workshop, Dec. 2018.
    - [3] 西野海斗, 鬼沢直哉, 羽生貴弘, "ストカスティック演算に基づくインバーティブロジック回路の構成," 2018 年電子情報通信学会 基礎・境界/NOLTA 講演論文集, A-1-10, p.10, 2018 年 9 月.
    - [4] 鬼沢直哉, "確率的演算に基づく省エネルギー脳型 LSI 実現の展望," 2018 年電子

- 情報通信学会 基礎・境界/NOLTA 講演論文集, AI-2-2, p.\*\*, 2018 年 9 月.
- [5] 岡 貴弘, 鈴木 大輔, 羽生 貴弘, "書込み回数最小化に基づく省エネルギー不揮発 Lookup Table 回路の構成," 平成 30 年度電気関係学会東北支部連合大会講演論文集, 1E16, 2018 年 9 月.
- [6] 千葉智貴, 夏井雅典, 羽生貴弘, "不揮発量子化ニューラルネットワーク構成に基づく 小型・超低消費電力 XNOR 回路の構成," 平成 30 年度電気関係学会東北支部連合大会講演論文集, 1E17, 2018 年 9 月.
- [7] 鈴木大輔, 岡貴弘, 羽生貴弘, "MTJ ベース多機能不揮発 Lookup Table 回路の設計," 信学技報, RECONF2018-12, pp. 59-64, 2018 年 5 月.
- 2017 年度 / FY 2017
    - [1] 鈴木大輔, 羽生貴弘, "MTJ 素子を用いた不揮発 Logic-In-Memory ベース Fracturable LUT 回路の構成," 2019 電子情報通信学会総合大会, p.39, 2018 年 3 月.
    - [2] 鈴木大輔, 羽生貴弘, "MTJ 素子を用いた高度演算機能を有する不揮発 LUT 回路の構成," 2017 電子情報通信学会総合大会, p. 58, 2018, Mar.
    - [3] 鈴木大輔, 羽生貴弘, "不揮発 FPGA を用いた脳型情報処理アクセラレータの構成," 信学会第 2 種研究会「多値論理とその応用」, MVL18-8, pp.45-50, 2018 年 1 月.
    - [4] 須田拓樹, 夏井雅典, 羽生貴弘, "脳型計算に基づく非シグネチャ不正侵入検出手法," 信学会第 2 種研究会「多値論理とその応用」, MVL18-9, pp.51-56, 2018 年 1 月.
    - [5] 向田涉吾, 鬼沢直哉, 羽生貴弘, "複数個の電圧電流変換特性を用いた低電力 MTJ ベース真性乱数生成器の設計," 信学会第 2 種研究会「多値論理とその応用」, MVL18-10, pp.57-62, 2018 年 1 月.
    - [6] 西野海斗, 鬼沢直哉, 袁正雄, 松宮一道, 塩入諭, 羽生貴弘, "Contextual Cueing Model に基づく実時間画像認識ブリプロセッサの検討," 信学会第 2 種研究会「多値論理とその応用」, MVL18-11, pp.63-68, 2018 年 1 月.
    - [7] 加藤健太郎, 夏井雅典, 羽生貴弘, "時系列特徴を用いたチップ内データ転送エラー訂正手法とその可能性," 信学技報, Vol.117, No.275, CPM2017-85 pp33-38, 2017 年 11 月.
    - [8] 夏井雅典, 須田拓樹, 羽生貴弘, "時系列特徴を用いた脳型計算ベース車載ネットワークセキュリティ技術," 多値論理研究ノート, pp.12-1~12-5, 2017 年 9 月.
    - [9] 鈴木大輔, 羽生貴弘, "MTJ ベース多機能 Lookup Table 回路の設計," 多値論理研究ノート, pp.18-1~18-5, 2017 年 9 月.
    - [10] 鬼沢直哉, 松宮一道, 羽生貴弘, "ストカスティック演算に基づく省面積・省エネルギー脳型 LSI 実現," 講演論文集, AS-1-5, 2017 年 9 月.
    - [11] 西野海斗, 鬼沢直哉, 松宮一道, 塩入諭, 羽生貴弘 (東北大学) "視覚的注意計算モデルのハードウェア実装に向けた基礎的考察", 平成 28 年度 電気関係学会東北支部連合大会講演論文集, 1E03, 2017 年 8 月.
    - [12] 須田拓樹, 夏井雅典, 羽生貴弘, "脳型計算に基づく車載ネットワークの不正侵入検出法," 平成 29 年度電気関係学会東北支部連合大会講演論文集, 1E02, 2017 年 8 月.
    - [13] 向田涉吾, 鬼沢直哉, 羽生貴弘, "MTJ 素子を用いた待機電力フリーの不揮発性非同期 SR ラッチの設計・評価," 平成 29 年度 電気関係学会東北支部連合大会講演論文集, 1G05, 弘前, 2017 年 8 月.
    - [14] 須田拓樹, 夏井雅典, 羽生貴弘, "時系列特徴を考慮した脳型計算ベース車載ネットワークセキュリティ技術に関する基礎的検討," LSI とシステムのワークショップ

- プ 2017, 東京, 2017 年 5 月.
- [15] 鬼沢直哉, 松宮 一道, 羽生貴弘, "ストカスティック演算に基づく省エネルギー脳型 LSI 実現の展望," 第 30 回回路とシステムのワークショップ, BC2-1-1, 北九州, 2017 年 5 月.
- [16] 鎌田裕成, 越田俊介, 鬼沢直哉, 阿部正英, 羽生貴弘, 川又政征, "ストカスティック演算に基づく FIR フィルタの振幅特性測定," 第 30 回回路とシステムのワークショップ, WIP-5, 北九州, 2017 年 5 月.
- 2016 年度 / FY 2016
    - [1] 鈴木大輔, 羽生貴弘, "不揮発 FPGA を用いた脳型情報処理アクセラレータ," 2017 電子情報通信学会総合大会, p.S-40, 2017 年 3 月.
    - [2] 鎌田裕成, 越田俊介, 鬼沢直哉, 阿部正英, 羽生貴弘, 川又政征, "ストカスティック演算に基づくディジタルフィルタにおける周波数振幅特性の測定法に関する一検討," 電気学会制御研究会, CT-17-019, 広島大学東京オフィス, 東京, 2017 年 3 月 13 日.
    - [3] 加藤健太郎, 夏井雅典, 羽生貴弘, "適切な通信ネットワークのトラフィックを考慮した高機能・低コストエッジプロセッサの構成に関する一考察," 信学会第 2 種研究会「多値論理とその応用」, MVL17-13, pp.72-76, 2017 年 1 月.
    - [4] 玉越晃, 夏井雅典, 羽生貴弘, "不揮発マイコン向け高速・低電力アナログ/ディジタル変換器の構成," 電子情報通信学会集積回路研究会技術報告, vol. 116, no. 334, ICD2016-47, pp. 51-56, 2016 年 11 月.
    - [5] 鬼沢直哉, 羽生貴弘, "stochastic 演算による脳型 LSI 実現とその多値化の可能性," 多値論理研究ノート, Vol.39, No.5, pp. 5-1~5-6, 盛岡, 2016 年 9 月.
    - [6] 鈴木大輔, 羽生貴弘, "MTJ ベース不揮発 FPGA の技術トレンドとその将来展望," 多値論理研究ノート, Vol.39, No.6, pp. 6-1~6-6, 盛岡, 2016 年 9 月.
    - [7] 羽生貴弘, "脳型 LSI を拓く集積回路・アーキテクチャの展望," 学振 165 委員会 VLSI 夏の学校 2016, Aug. 2016.
    - [8] 加藤健太郎, 夏井雅典, 羽生貴弘, "Approximate Computing に基づく脳型 LSI の高精度・省電力・省面積実装技術の一考察," 平成 28 年度電気関係学会東北支部連合大会講演論文集, P.1B03, 2016 年 8 月.
    - [9] 鬼沢直哉, 越田俊介, 坂本修一, 阿部正英, 川又政征, 羽生貴弘, "ストカスティック演算に基づくガンマトーンフィルタのハードウェア実現," 信学技報, CAS 研究会, vol.116, No.93, pp. 29-34, 2016 年 6 月.
  - 2015 年度 / FY 2015
    - [1] 鈴木大輔, 羽生貴弘, "Self-Terminated 機構に基づく MTJ 書込み回路とその乱数生成器への応用," 電子情報通信学会 2016 総合大会, C-12-34, p. 107, Mar. 2016.
    - [2] 菅谷直登, 夏井雅典, 羽生貴弘, "リカレントニューラルネットワークを用いた高性能誤り訂正符号技術," 電子情報通信学会「多値論理とその応用」第 2 種研究会技術報告, pp.67--71, Jan. 2016.
    - [3] 田畑祐樹, 鈴木大輔, 羽生貴弘, "MTJ ベース不揮発 FPGA の自動設計環境," 電子情報通信学会「多値論理とその応用」第 2 種研究会技術報告, pp.72--76, Jan. 2016.
    - [4] 鈴木大輔, 田畑祐樹, 羽生貴弘, "Clocked-CMOS 構造不揮発ロジックに基づく高性能 Logic Element 回路の設計," 電子情報通信学会「多値論理とその応用」第 2 種研究会技術報告, pp.77--81, Jan. 2016.
    - [5] 片桐大作, 鬼沢直哉, 松宮一道, グロス ウォーレン, 羽生貴弘, "ストカスティック論理に基づくガポールフィルタの構成とその高並列特徴抽出ハードウェアへの展開に関する研究," 信学技報, NC 研究会, vol.115, No.318, pp. 35-40, 2015 年



- 11月.
- [6] 越田俊介, 鬼沢直哉, 阿部正英, 羽生貴弘, 川又政征, "ストカスティック演算に基づく FIR フィルタの性能評価," 第 30 回信号処理シンポジウム講演論文集, pp. 1-6, 2015 年 11 月.
  - [7] 夏井雅典, 菅谷直登, 羽生貴弘, "リカレントニューラルネットワークに基づく高効率データ転送技術," 多値論理研究ノート, 第 38 巻, 第 15 号, pp. 15-1~15-6, 札幌, 2015 年 9 月.
  - [8] 大澤悟史, 鬼沢直哉, 羽生貴弘, "デジタル制御型 CMOS/MTJ ハイブリッド回路構造に基づく高ランダムネス真性乱数生成器の構成," 多値論理研究ノート, 第 38 巻, 第 16 号, pp. 16-1~16-6, 札幌, 2015 年 9 月.
  - [9] 田畑佑樹 鈴木大輔 羽生貴弘, "MTJ ベース不揮発ロジック LSI における電源スイッチ構造の最適化設計," 平成 27 年度電気関係学会東北支部連合大会講演論文集
  - [10] 菅谷 直登, 夏井 雅典, 羽生 貴弘, "リカレントニューラルネットワークに基づく時系列データ誤り訂正技術とその応用," 平成 27 年度電気関係学会東北支部連合大会講演論文集, P.2C18, 2015 年 8 月.
  - [11] 羽生貴弘, 鈴木大輔, 望月明, 夏井雅典, 鬼沢直哉, 杉林直彦, 池田正二, 遠藤哲郎, 大野英男, "[チュートリアル講演]不揮発ロジックインメモリアーキテクチャとその低電力 VLSI システムへの応用," 信学技報 (IEICE Technical Report), Vol. 115, No. 6, pp. 57-61, 2015 年 4 月.
- 2014 年度 / FY 2014
    - [1] 鈴木大輔, 田畑祐樹, 羽生貴弘, "ロジックインメモリベース不揮発 FPGA 用電源制御モジュールの設計," 2015 年電子情報通信学会総合大会, C-12-15, March 2015.
    - [2] 根橋竜介, 崎村昇, 羽生貴弘, 杉林直彦, "非対称な遷移確率を有するソフトウェアの効率的な欠陥注入法," 2015 年電子情報通信学会総合大会, C-\*\*-\*\*, p.\*\*\*, March 2015.
    - [3] 夕部 直人, 望月 明, 羽生 貴弘, "C-RAM ベースビット直並列構造 VLSI プロセッサの構成," 2015 年電子情報通信学会総合大会, C-6-4, March 2015.
    - [4] 大澤悟史, 小西貴之, 鬼沢直哉, 羽生貴弘, "確率変動緩和機構に基づく MTJ ベース真性乱数生成器の構成," 2015 年電子情報通信学会総合大会, C-\*\*-\*\*, p.\*\*\*, March 2015.
    - [5] 片桐 大作, 鬼沢 直哉, 羽生 貴弘, "ストカスティック演算に基づく高信頼低消費電力画像処理プロセッサの構成," 電子情報通信学会「多値論理とその応用」第 2 種研究会技術報告, pp.97--102, Jan. 2015.
    - [6] 阿久津起明, 夏井雅典, 羽生貴弘, "符号化技術を活用した低消費電力不揮発 LSI の構成と評価," 電子情報通信学会「多値論理とその応用」第 2 種研究会技術報告, pp.103--108, Jan. 2015.
    - [7] 夏井雅典, 阿久津起明, 羽生貴弘, "MTJ ベース不揮発ロジック LSI 向け符号化方式とその評価," 多値論理研究ノート, 第 37 巻, pp.17-1~17-6, 2014 年 9 月.
    - [8] Naoya ONIZAWA, Daisaku KATAGIRI, Warren J. GROSS, and Takahiro HANYU, "Analog-to-Stochastic Converter Using MTJ Devices for Highly Reliable Vision Chips," 多値論理研究ノート, 第 37 巻, pp.16-1~16-6, 2014 年 9 月.
    - [9] 阿久津 起明, 夏井雅典 夏井雅典 夏井雅典, 羽生 貴弘, "符号化 技術 に基 づく 不揮 発 LSI の 低 電 力 化 に 関 す る 検 討," 平 成 26 年 度 電 気 関 係 学 会 東 北 支 部 連 合 大 会 講 演 論 文 集, 2G03, 2014 年 8 月.
    - [10] 片桐大作, 鬼沢直哉, 羽生貴弘, "ストカスティック演算に基づく画像処理プロセッサのソフトウェア耐性の評価," 平成 26 年度電気関係学会東北支部連合大会講演論文集, 2G04, 2014 年 8 月.

[11] 松永翔雲, 崎村昇, 根橋竜介, 杉林直彦, 夏井雅典, 望月明, 遠藤哲郎, 大野英男, 羽生貴弘, "全文検索システム向け階層的パワーゲーティングを活用した低エネルギー不揮発 TCAM エンジンチップ," 信学技報, 集積回路研究会, Vol. ICD2014-8, pp.39-44, April 2014. (依頼講演公演)

[12] 片桐大作, 鬼沢直哉, 羽生貴弘, "ストカスティック演算に基づく高信頼論理集積回路の構成に関する一検討," 信学技報, DC 研究会, vol.114, No.21, pp.27-31, 2014 年 4 月.

● 2013 年度 / FY 2013

[5] 鬼沢 直哉, Warren Gross, 羽生 貴弘, "Sparse clustered networks に基づく低電力 IPlookup 処理用 LSI の実現に関する研究," 信学技報, Vol. 113, No. 463, pp. 193-198, 2014 年 3 月.

[6] 松永翔雲, 望月明, 羽生貴弘, "ばらつき耐性を有するコンパクト・低電力不揮発 TCAM の構成," 2014 年電子情報通信学会総合大会, C-12-48, p.112, March 2014.

[7] 羽生貴弘, 松永翔雲, 鈴木大輔, 望月明, 夏井雅典, "MTJ 素子を用いた不揮発ロジックインメモリ LSI の展望," 2014 年電子情報通信学会総合大会, AT-1-3, p.SS-16, March 2014.

[8] 羽生貴弘, "不揮発メモリを用いた連想メモリ (CAM) 技術," 日本学術振興会シリコン超集積化システム第 165 委員会, 1 月研究会, Jan. 9, 2014.

[9] 夏井雅典, 荒木敦司, 羽生貴弘, "MTJ 素子を用いた不揮発ロジック LSI の低電力化に関する一考察," 多値論理研究ノート, 第 36 巻, pp.8-1~8-6, 2013 年 9 月.

[10] 羽生貴弘, 白濱弘勝, 望月 明, 渡邊友馬, "非同期 NoC プラットフォーム向け高効率電流モードチップ間データ転送回路の構成," 多値論理研究ノート, 第 36 巻, pp.15-1~15-5, 2013 年 9 月.

[11] 松永翔雲, 三浦貞彦, 本庄弘明, 木下啓蔵, 池田正二, 遠藤哲郎, 大野英男, 羽生貴弘, "4T-2MTJ セル構造に基づく不揮発 TCAM チップの実現," 信学技報 集積回路, vol. 113, no. 1, pp. 33-38, 2013 年 4 月. (依頼講演公演)

(8) 著書 / Books

● 2018 年度 / FY 2018

[1] N. Onizawa, W. J. Gross and T. Hanyu, "Brain-Inspired Computing," Chapter 9 in Book: Stochastic Computing: Techniques and Applications, pp. 185-199, editors: V. C. Gaudet and W. J. Gross, Springer, ISBN: 978-3-030-03729-1, Jan. 2019

[2] 鬼沢直哉, "人間的(脳型)コンピューティングによる安全で快適な暮らしの実現に向けて," 第 5 章・百花繚覧 vol. 1, pp. 119-139, 東北大学学際科学フロンティア研究所「百花繚覧」編集委員会 編 東北大学出版, ISBN: 978-4861633133, 2019 年 1 月

● 2016 年度 / FY 2016

[1] Takahiro Hanyu, Tetsuo Endoh, Shoji Ikeda, Tadahiko Sugibayashi, Naoki Kasai, Daisuke Suzuki, Masanori Natsui, Hiroki Koike, and Hideo Ohno, "Beyond MRAM: Nonvolatile Logic-in-Memory VLSI," Chapter 7 in Book: Introduction to Magnetic Random-Access Memory, edited by Bernard Dieny, Ronald B. Goldfarb, Kyung-Jin Lee, December 2016, Wiley-IEEE Press ISBN: 978-1-119-00974-0

● 2015 年度 / FY 2015

[1] Takahiro Hanyu, "Challenge of Nonvolatile Logic LSI Using MTJ-Based Logic-in-Memory Architecture," in Spintronics-based Computing, Zhao, Weisheng, Prenat, Guillaume, Eds., Springer, 2015, pp. 159-177 (Chapter 5).

● 2014 年度 / FY 2014

[1] H. Ohno, T. Endoh, T. Hanyu, Y. Ando and S. Ikeda, "Spin-transfer-torque magnetoresistive random access memory (STT-MRAM)," in Chapter 15 of

"Advances in Non-volatile Memory and Storage Technology," edited by Yoshio Nishi, 2014.

(9) 特許 / Patents

- 2018年度 / FY 2018
  - [1] 発明の名称: デバイス及びセンサノード, 発明者: 夏井 雅典, 鈴木 大輔, 玉越 晃, 羽生 貴弘, 遠藤 哲郎, 大野 英男, 出願人: 東北大学, 出願番号: 2019-026134, 出願日: 2019年02月16日。
  - [2] 発明の名称: 不揮発性論理回路, 発明者: 夏井 雅典, 羽生 貴弘, 遠藤 哲郎, 出願人: 東北大学, 出願番号: 2018-241191, 出願日: 2018年12月25日。
  - [3] 発明の名称: メモリ回路デバイス及びその使用方法, 発明者: 羽生 貴弘, 鈴木 大輔, 大野 英男, 遠藤 哲郎, 出願人: 東北大学, 出願番号: PCT/JP2018/034229, 出願日: 2018年09月14日。
  - [4] 発明の名称: ルックアップテーブル回路, 発明者: 羽生 貴弘, 鈴木 大輔, 遠藤 哲郎, 出願人: 東北大学, 出願番号: PCT/JP2018/033139, 出願日: 2018年09月07日。
- 2017年度 / FY 2017
  - [1] 発明の名称: 読み出し装置、及びロジックデバイス, 発明者: 羽生 貴弘, 鈴木 大輔, 大野 英男, 遠藤 哲郎, 出願人: 東北大学, 出願番号: 2018-555073, 出願日: 2017年12月08日。
  - [2] 発明の名称: 抵抗変化型記憶素子のデータ書き込み装置, 発明者: 羽生 貴弘, 鈴木 大輔, 大野 英男, 遠藤 哲郎, 出願人: 東北大学, 出願番号: PCT/JP2017/39354, 出願日: 2017年10月31日。
  - [3] 発明の名称: 抵抗変化型記憶素子のデータ書き込み装置、及び不揮発性フリップフロップ, 発明者: 羽生 貴弘, 鈴木 大輔, 大野 英男, 遠藤 哲郎, 出願人: 東北大学, 出願番号: 16/339,818, 出願日: 2017年10月31日。
  - [4] 発明の名称: メモリ回路デバイス及びその使用方法, 発明者: 羽生 貴弘, 鈴木 大輔, 大野 英男, 遠藤 哲郎, 出願人: 東北大学, 出願番号: 2017-178241, 出願日: 2017年09月15日。
  - [5] 発明の名称: 集積回路, 発明者: 遠藤 哲郎, 大澤 隆, 小池 洋紀, 羽生 貴弘, 大野 英男, 出願人: 国立大学法人東北大学, 出願番号: 特願2017-154824, 出願日: 2017年08月09日, 公開番号: 特開2018-022547, 公開日: 2018年02月08日。
  - [6] 発明の名称: 回路設計支援システム、回路設計支援方法、回路設計支援プログラムおよびそのプログラムを記録したコンピュータ読み取り可能な記録媒体, 発明者: 夏井 雅典, 玉越 晃, 羽生 貴弘, 望月 明, 遠藤 哲郎, 小池 洋紀, 大野 英男, 出願人: 国立大学法人東北大学, 出願番号: 特願2018-531988, 出願日: 2017年08月03日, 公開番号: 再表2018/025972, 公開日: 2018年02月08日。
  - [7] 発明の名称: 回路設計支援システム、回路設計支援方法、回路設計支援プログラムおよびそのプログラムを記録したコンピュータ読み取り可能な記録媒体, 発明者: 夏井 雅典, 玉越 晃, 羽生 貴弘, 望月 明, 遠藤 哲郎, 小池 洋紀, 大野 英男, 出願人: 東北大学, 出願番号: 2018-531988, 出願日: 2017年08月03日。
- 2016年度 / FY 2016
  - [1] 発明の名称: 不揮発性ラッチ装置及び不揮発性フリップフロップ装置, 発明者: 羽生 貴弘, 鬼沢 直哉, 大野 英男, 出願人: 国立大学法人東北大学, 出願番号: 特願2016-251994, 出願日: 2016年12月26日, 公開番号: 特開2018-107626, 公開日: 2018年07月05日。

- [2] 発明の名称：読み出し装置、及びロジックデバイス、発明者：羽生 貴弘、鈴木大輔、大野 英男、遠藤 哲郎、出願人：東北大学、出願番号：2016-239688、出願日：2016年12月09日。
  - [3] 発明の名称：抵抗変化型記憶素子のデータ書き込み装置、発明者：羽生 貴弘、鈴木 大輔、大野 英男、遠藤 哲郎、出願人：国立大学法人東北大学、出願番号：特願 2016-231457、出願日：2016年11月29日、公開番号：特開 2018-088300、公開日：2018年06月07日。
  - [4] 発明の名称：抵抗変化型記憶素子のデータ書き込み装置、発明者：羽生 貴弘、鈴木 大輔、大野 英男、遠藤 哲郎、出願人：東北大学、出願番号：2016-231457、出願日：2016年11月29日。
  - [5] 発明の名称：抵抗変化型記憶素子のデータ書き込み装置、及び不揮発性フリップフロップ、発明者：羽生 貴弘、鈴木 大輔、大野 英男、遠藤 哲郎、出願人：国立大学法人東北大学、出願番号：特願 2016-213779、出願日：2016年10月31日、公開番号：特開 2018-073445、公開日：2018年05月10日。
  - [6] 発明の名称：抵抗変化型記憶素子のデータ書き込み装置、及び不揮発性フリップフロップ、発明者：羽生 貴弘、鈴木 大輔、大野 英男、遠藤 哲郎、出願人：東北大学、出願番号：2016-213779、出願日：2016年10月31日。
  - [7] 発明の名称：逐次比較型AD変換装置、発明者：羽生 貴弘、玉越 晃、夏井 雅典、望月 明、大野 英男、出願人：国立大学法人東北大学、出願番号：特願 2016-201279、出願日：2016年10月12日、公開番号：特開 2018-064188、公開日：2018年04月19日。
  - [8] 発明の名称：逐次比較型AD変換装置、発明者：羽生 貴弘、玉越 晃、夏井 雅典、望月 明、大野 英男、出願人：東北大学、出願番号：2016-201279、出願日：2016年10月12日。
  - [9] 発明の名称：回路設計支援システム、回路設計支援方法、回路設計支援プログラムおよびそのプログラムを記録したコンピュータ読み取り可能な記録媒体、発明者：夏井 雅典、玉越 晃、羽生 貴弘、望月 明、遠藤 哲郎、小池 洋紀、大野 英男、出願人：東北大学、出願番号：2016-153285、出願日：2016年08月04日。
  - [10] 発明の名称：逐次比較型AD変換装置、発明者：羽生 貴弘、玉越 晃、夏井 雅典、望月 明、大野 英男、出願人：国立大学法人東北大学、出願番号：特願 2016-147004、出願日：2016年07月27日、公開番号：特開 2018-019197、公開日：2018年02月01日。
- 2015年度 / FY 2015
    - [1] 発明の名称：磁気抵抗変化型記憶装置及びそのアクセス方法、発明者：羽生 貴弘、玉越 晃、望月 明、夏井 雅典、大野 英男、出願人：国立大学法人東北大学、出願番号：特開 2017-147009、出願日：2016年02月16日、公開番号：特願 2016-027397、公開日：2017年08月24日。
    - [2] 発明の名称：磁気抵抗変化型記憶装置及びそのアクセス方法、発明者：羽生 貴弘、玉越 晃、望月 明、夏井 雅典、大野 英男、出願人：東北大学、出願番号：2016-027397、出願日：2016年02月16日。
    - [3] 発明の名称：半導体装置、発明者：羽生 貴弘、望月 明、鬼沢 直哉、玉越 晃、大野 英男、出願人：国立大学法人東北大学、出願番号：特願 2016-011896、出願日：2016年01月06日、公開番号：特開 2017-123134、公開日：2017年07月13日。
    - [4] 発明の名称：記憶装置、発明者：羽生 貴弘、鬼沢 直哉、大野 英男、出願人：国立大学法人東北大学、出願番号：特願 2015-107984、出願日：2015年05月27日、公開番号：特開 2016-225000、公開日：2016年12月28日。
  - 2014年度 / FY 2014

- [1] 発明の名称：抵抗変化型記憶素子のデータ書き込み装置，発明者：羽生 貴弘，鈴木 大輔，夏井 雅典，望月 明，大野 英男，遠藤 哲郎，出願人：国立大学法人東北大学，出願番号：特願 2016-510401，出願日：2015 年 03 月 24 日，公開番号：再表 2015/147016，公開日：2015 年 10 月 01 日。
- [2] 発明の名称：抵抗変化型記憶素子のデータ書き込み装置，発明者：羽生 貴弘，鈴木 大輔，夏井 雅典，望月 明，大野 英男，遠藤 哲郎，出願人：東北大学，出願番号：2016-7029341，出願日：2015 年 03 月 24 日，公開番号：2016-0138171，公開日：2016 年 12 月 02 日。
- [3] 発明の名称：抵抗変化型記憶素子のデータ書き込み装置，発明者：羽生 貴弘，鈴木 大輔，夏井 雅典，望月 明，大野 英男，遠藤 哲郎，出願人：東北大学，出願番号：15/128,020，出願日：2015 年 03 月 24 日，公開番号：2017-0365338，公開日：2017 年 12 月 21 日。

● 2013 年度 / FY 2013

- [1] 発明の名称：不揮発性連想メモリセル及び不揮発性連想メモリ，発明者：羽生 貴弘，松永 翔雲，望月 明，遠藤 哲郎，大野 英男，出願人：国立大学法人東北大学，出願番号：特願 2014-062767，出願日：2014 年 03 月 25 日，公開番号：特開 2015-185197，公開日：2015 年 10 月 22 日。
- [2] 発明の名称：不揮発性連想メモリ，発明者：羽生 貴弘，松永 翔雲，望月 明，遠藤 哲郎，大野 英男，出願人：国立大学法人東北大学，出願番号：特願 2014-062766，出願日：2014 年 03 月 25 日，公開番号：特開 2015-185196，公開日：2015 年 10 月 22 日。
- [3] 発明の名称：抵抗変化型記憶素子へのデータ書き込み装置，発明者：羽生 貴弘，鈴木 大輔，夏井 雅典，望月 明，出願人：東北大学，出願番号：2014-060901，出願日：2014 年 03 月 24 日。
- [4] 発明の名称：不揮発性ラッチ回路，発明者：羽生 貴弘，鈴木 大輔，大野 英男，遠藤 哲郎，夏井 雅典，望月 明，木下 啓蔵，池田 正二，佐藤 英夫，深見 俊輔，出願人：国立大学法人東北大学，出願番号：特願 2014-058889，出願日：2014 年 03 月 20 日，公開番号：特開 2015-185181，公開日：2015 年 10 月 22 日。
- [5] 発明の名称：論理回路，発明者：羽生 貴弘，望月 明，大野 英男，出願人：国立大学法人東北大学，出願番号：特願 2014-045757，出願日：2014 年 03 月 07 日，公開番号：特開 2015-170378，公開日：2015 年 09 月 28 日。
- [6] 発明の名称：磁気トンネル接合素子を備えた記憶装置，発明者：羽生 貴弘，望月 明，大野 英男，出願人：国立大学法人東北大学，出願番号：特願 2014-018949，出願日：2014 年 02 月 03 日，公開番号：特開 2015-146395，公開日：2015 年 08 月 13 日。
- [7] 発明の名称：省電力機能を備える論理回路，発明者：羽生 貴弘，望月 明，大野 英男，出願人：国立大学法人東北大学，出願番号：特願 2013-238370，出願日：2013 年 11 月 18 日，公開番号：特開 2015-099451，公開日：2015 年 05 月 28 日。
- [8] 発明の名称：不揮発性連想メモリ及びその動作方法，発明者：大野 英男，羽生 貴弘，松永 翔雲，出願人：東北大学，日本電気株式会社，出願番号：2014-534257，出願日：2013 年 08 月 23 日，公開番号：2014-038340，公開日：2014 年 03 月 13 日。
- [9] 発明の名称：不揮発性連想メモリ及びその動作方法，発明者：大野 英男，羽生 貴弘，松永 翔雲，出願人：東北大学，日本電気株式会社，出願番号：14/423,321，出願日：2013 年 08 月 23 日，公開番号：2015/235703，公開日：2015 年 08 月 20 日。
- [10] 発明の名称：不揮発性連想メモリ，発明者：崎村 昇，根橋 竜介，杉林 直彦，松永 翔雲，羽生 貴弘，大野 英男，出願人：日本電気株式会社 他，出願番

- 号：特願 2014-534258，出願日：2013 年 08 月 01 日，公開番号：再表 2014/038341，公開日：2014 年 03 月 13 日。
- [11] 発明の名称：不揮発性連想メモリ及びその動作方法，発明者：崎村 昇，根橋 竜介，杉林 直彦，松永 翔雲，羽生 貴弘，大野 英男，出願人：日本電気株式会社 他，出願番号：特願 2014-534257，出願日：2013 年 08 月 01 日，公開番号：再表 2014/038340，公開日：2014 年 03 月 13 日。
- [12] 発明の名称：不揮発性連想メモリ，発明者：大野 英男，羽生 貴弘，松永 翔雲，出願人：東北大学，日本電気株式会社，出願番号：2014-534258，出願日：2013 年 08 月 01 日，公開番号：2014-038341，公開日：2014 年 03 月 13 日。
- [13] 発明の名称：不揮発性連想メモリを利用した全文検索システム及びこれに用いる文字列比較方法，発明者：崎村 昇，根橋 竜介，杉林 直彦，松永 翔雲，羽生 貴弘，大野 英男，出願人：日本電気株式会社 他，出願番号：特願 2014-534240，出願日：2013 年 07 月 19 日，公開番号：再表 2014/038306，公開日：2014 年 03 月 13 日。
- [14] 発明の名称：回路設計支援装置、方法及びプログラム，発明者：崎村 昇，杉林 直彦，小池 洋紀，遠藤 哲郎，羽生 貴弘，大野 英男，出願人：日本電気株式会社 他，出願番号：特願 2014-531556，出願日：2013 年 07 月 19 日，公開番号：再表 2014/030490，公開日：2014 年 02 月 27 日。
- [15] 発明の名称：回路設計支援装置、方法及びプログラム，発明者：大野 英男，遠藤 哲郎，小池 洋紀，羽生 貴弘，出願人：東北大学，日本電気株式会社，出願番号：2014-531556，出願日：2013 年 07 月 19 日，公開番号：2014-030490，公開日：2014 年 02 月 27 日。
- [16] 発明の名称：不揮発性連想メモリを利用した全文検索システム及びこれに用いる文字列比較方法，発明者：大野 英男，羽生 貴弘，松永 翔雲，出願人：東北大学，日本電気株式会社，出願番号：2014-534240，出願日：2013 年 07 月 19 日，公開番号：2014-038306，公開日：2014 年 03 月 13 日。
- [17] 発明の名称：不揮発性論理集積回路設計支援システム，発明者：崎村 昇，根橋 竜介，辻 幸秀，多田 あゆ香，杉林 直彦，遠藤 哲郎，羽生 貴弘，大野 英男，出願人：日本電気株式会社 他，出願番号：特願 2013-104103，出願日：2013 年 05 月 16 日，公開番号：特開 2014-225134，公開日：2014 年 12 月 04 日。
- [18] 発明の名称：不揮発性論理集積回路設計支援システム，発明者：遠藤 哲郎，羽生 貴弘，大野 英男，出願人：東北大学，日本電気株式会社，出願番号：2013-104103，出願日：2013 年 05 月 16 日，公開番号：2014-225134，公開日：2014 年 12 月 04 日。
- [19] 発明の名称：不揮発性論理ゲート素子，発明者：根橋 竜介，崎村 昇，辻 幸秀，多田 あゆ香，杉林 直彦，羽生 貴弘，遠藤 哲郎，大野 英男，出願人：日本電気株式会社 他，出願番号：特願 2014-521228，出願日：2013 年 05 月 15 日，公開番号：再表 2013/187193，公開日：2013 年 12 月 19 日。
- [20] 発明の名称：不揮発性論理ゲート素子，発明者：大野 英男，羽生 貴弘，遠藤 哲郎，出願人：東北大学，日本電気株式会社，出願番号：2014-521228，出願日：2013 年 05 月 15 日，公開番号：2013-187193，公開日：2013 年 12 月 19 日。
- [21] 発明の名称：不揮発性論理ゲート素子，発明者：大野 英男，羽生 貴弘，遠藤 哲郎，出願人：東北大学，日本電気株式会社，出願番号：14/400,950，出願日：2013 年 05 月 15 日，公開番号：2015-0138877，公開日：2015 年 05 月 21 日。
- [22] 発明の名称：半導体記憶装置，発明者：羽生 貴弘，松永 翔雲，鬼沢 直哉，ガウデット ヴィンセント，出願人：東北大学，出願番号：2014-7034459，出願日：2013 年 05 月 03 日，公開番号：2015-0014487，公開日：2015 年 02 月 06 日。



- a Sudden Power-Outage Resilient In-Processor Checkpointing," 2017 Spintronics Workshop on LSI, P.3, Jun. 2017.
- [7] 鎌田 裕成, 越田 俊介, 鬼沢 直哉, 阿部 正英, 羽生 貴弘, 川又 政征, "ストカスティック演算に基づく FIR フィルタの振幅特性測定," 第 30 回回路とシステムのワークショップ, WIP-5, 北九州, 2017 年 5 月.
- [8][6] 鬼沢 直哉, 松宮 一道, 羽生 貴弘, "ストカスティック演算に基づく省エネルギー脳型 LSI 実現の展望," 第 30 回回路とシステムのワークショップ, BC2-1-1, 北九州, 2017 年 5 月.
- [9][7] T. Hanyu, "Challenge of MOS/MTJ-Hybrid Nonvolatile VLSI Processor for IoE Applications," Emerging Technologies of Communications, Microsystems, Optoelectronics and Sensors 2017 (ETCMOS 2017), Warsaw, Poland, May 2017.
- [10][8] D. Suzuki and T. Hanyu, "MTJ-Based Nonvolatile FPGA; the Present and the Future Technology Trends," 26th International Workshop on Post-Binary ULSI Systems, p. 2, May, 2017.
- [11][9] T. Hanyu, "MTJ-Based Nonvolatile Logic-in-Memory Circuits with Self-Terminated Writing Mechanism for Ultra-Low-Power VLSI Processor," Special lecture at Nazarbayev Univ., Astana, Kazakhstan, May 2017.
- 2016 年度 / FY 2016
    - [1] T. Hanyu, "Challenge of Spintronics-Device-Based Non-volatile Logic-in-Memory Architecture for Internet-of-Things Applications," BIT's 3rd Annual World Congress of Smart Materials-2017, P.262, Mar. 2017.
    - [2] T. Hanyu, D. Suzuki, N. Onizawa, and M. Natsui, "Three-Terminal MTJ-Based Nonvolatile Logic Circuits with Self-Terminated Writing Mechanism for Ultra-Low-Power VLSI Processor," Design, Automation & Test in Europe (DATE), pp. 548-553, Mar. 2017.
    - [3] M. Natsui, T. Endoh, H. Ohno, and T. Hanyu, "Towards Ultra Low-Power and Highly Dependable VLSI Computing Based on MTJ-Based Nonvolatile Logic-in-Memory Architecture," Proc. of BIT's 6th Annual World Congress of Nano Science & Technology 2016 (Nano-S&T), Oct. 2016.
    - [4] 羽生貴弘, "脳型 LSI を拓く集積回路・アーキテクチャの展望," 学振 165 委員会 VLSI 夏の学校 2016, Aug. 2016.
    - [5] T. Hanyu, "Challenge of Spintronics-Based Nonvolatile Logic-in-Memory VLSI Architecture towards the IoE Era," 2016 Spintronics Workshop on LSI, P. 6, Jun. 2016.
    - [6] T. Hanyu, "Challenge of MOS/MTJ-Hybrid Nonvolatile VLSI Processor for IoE Applications," VLSI Technology Short Course 2016, No.8, Jun. 2016.
  - 2015 年度 / FY 2015
    - [1] 夏井雅典, 鈴木大輔, 池田正二, 遠藤哲郎, 大野英男, 羽生貴弘, "MTJ 素子を活用した高性能・高信頼 VLSI 設計技術," 応用物理学会スピントロニクス研究会・日本磁気学会スピントロニクス専門研究会・日本磁気学会ナノマグネティクス専門研究会共同主催研究会, 東京, 2015 年 11 月.
    - [2] T. Hanyu, "Spintronics-Based Logic-in-Memory Architecture Towards Dark Silicon Era," International Workshop: Spintronics VLSI, Abstract, p.9, Nov. 2015.
    - [3] T. Hanyu, M. Natsui, D. Suzuki, A. Mochizuki, N. Onizawa, S. Ikeda, T. Endoh, and H. Ohno, "Challenge of MTJ-Based Nonvolatile Logic-in-Memory Architecture for Ultra Low-Power and Highly Dependable VLSI Computing," IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), Oct. 2015.
  - 2014 年度 / FY 2014
    - [1] Takahiro Hanyu, Daisuke Suzuki, Naoya Onizawa, Shoun Matsunaga, Masanori Natsui, and Akira Mochizuki, "Spintronics-Based Nonvolatile Logic-in-Memory Architecture Towards an Ultra-Low-Power and Highly Reliable VLSI Computing Paradigm," Design, Automation & Test in Europe (DATE), pp.8.5.3, March 2015.

書式変更: インデント : ぶら下げインデント : 1.48 字,  
左 8.25 字, 最初の行 : -1.48 字, 間隔 段落後 : 0.2 行,  
行頭文字または番号を削除, グリッドへ配置しない



~~[1]~~~~[2]~~

[1] Hanyu, "Nonvolatile Logic-in-Memory Architecture for Ultra-Low-Power VLSI Systems," ISSCC 2015, Forum 4, Feb. 2015.

~~[2]~~~~[3]~~

Takahiro Hanyu, Daisuke Suzuki, Akira Mochizuki, Masanori Natsui, Naoya Onizawa, Tadahiko Sugibayashi, Shoji Ikeda, Tetsuo Endoh, and Hideo Ohno, "Challenge of MOS/MTJ-Hybrid Nonvolatile Logic-in-Memory Architecture in Dark-Silicon Era," International Electron Device Meeting (IEDM), pp.28.2.1~28.2.3, Dec. 2014.

~~[3]~~~~[4]~~

Takahiro Hanyu, "Challenge of Nonvolatile Logic-in-Memory Architecture: Design Examples and the Future Prospects," 2014 Spintronics Workshop on LSI, p.3, June 2014.

~~[4]~~~~[5]~~

[5] A. Mochizuki, M. Natsui, N. Sakimura, T. Sugibayashi, and T. Hanyu, "Challenge of Nonvolatile TCAM Design Automation," Booklet of the 23rd International Workshop on Post-Binary ULSI Systems, p. 1, May 2014.

● 2013 年度 / FY 2013

[1] 羽生貴弘, 松永翔雲, 鈴木大輔, 望月明, 夏井雅典, "MTJ 素子を用いた不揮発ロジックインメモリ LSI の展望," 2014 年電子情報通信学会総合大会, AT-1-3, p.SS-16, March 2014.

[2] Takahiro Hanyu, "Challenge of MTJ/MOS-Hybrid Logic-in-Memory Architecture for Nonvolatile VLSI Processor," Proceedings of International Symposium on Circuits and Systems (ISCAS2013), pp.117-120, May 2013.

## 2. 学会活動 / Activities in academic societies

### (1) 学会役員等の活動 / Activities on committees of academic societies

[羽生/Hanyu]

- ・ IEEE Sendai Section, Student Activity Chair (Jan. 2012 – Dec. 2013)
- ・ IEEE Computer Society, Technical Committee of Multiple-Valued Logic, Chair (Jan. 2014 – Dec. 2015).
- ・ 電子情報通信学会「ディペンダブルコンピューティング」研究専門委員会・委員 (平成 14 年～現在) / IEICE Technical Committee on Dependable Computing, Committee Member (2002-present)

### (2) 学術的国際会議の企画・運営

Planning and organizing academic international conferences.

[羽生/Hanyu]

- ・ IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC), Technical Program Committee Member (Aug. 2011 – July 2017)
- ・ 2016 IEEE International Symposium on Multiple-Valued Logic (ISMVL), Symposium Chair (May 2015 – June 2016)
- ・ IEEE [Computer Society, Technical ISMVL, Executive Committee of Multiple-Valued Logic, member](#) (Jan. 2016 - present).

[夏井/Natsui]

- ・ IEEE ISMVL Executive Subcommittee・Members-at-large (Jan. 2011 – Dec. 2013)
- ・ 多値論理研究委員会運営委員 (平成 20 年 4 月～) / Multiple-Valued Logic, Steering Committee Member (Apr. 2008 - present)
- ・ VLSI Circuits Symposium TPC Member (Aug. 2015 - present)
- ・ 情報処理学会東北支部・広報幹事 (平成 28 年度～平成 29 年度) / Information Processing Society Tohoku Section Public Relations Secretary (FY 2016 – 2017)
- ・ 電子情報通信学会集積回路研究専門委員会・幹事補佐 (平成 28 年度～平成 29 年度) / Deputy Director for Integrated Circuits Research Committee, Institute of Electronics, Information and Communication Engineers (FY 2016 – 2017)
- ・ SSDM Steering Committee Member (FY 2016 – 2017)
- ・ ニューパラダイムコンピューティング研究会・幹事 (平成 28 年度～) / New Paradigm Computing Research Group / Executive Secretary (Apr. 2016 - present)
- ・ 多値論理研究会・庶務幹事 (平成 28 年度～) / General Manager of Multivalued Logic, General Secretary (Apr. 2016 - present)

[鬼沢/Onizawa]

- ・ 2016 IEEE ISMVL Secretary, (May 2015 – June 2016)
- ・ IEEE ISMVL Executive Subcommittee - Members-at-large (Jan. 2017 – Dec. 2019)
- ・ IEEE ISMVL Technical Program Committee Member (Aug. 2015 - )
- ・ 25th IEEE ASYNC Publication Chair (Sep. 2017 - June 2019)

・ IEEE ASYNC Technical Program Committee Member (Aug. 2018 -)

(3) 学術論文誌の編集・査読 / Editor and reviewer for academic journals.

[羽生/Hanyu]

・ 電子情報通信学会・英文論文誌 C 編集委員会・編集委員長 (平成 24 年 6 月～平成 25 年 5 月)  
/ IEICE Trans. Electronics, Editor-in-Chief (June 2012 – May 2013)

3. 社会貢献 / Contributions to society

(1) 教育活動 / Educational activities outside university

該当なし/None

(2) 産業界における指導・啓蒙 / Instruction and education for industry

該当なし/None

(3) 国・地方自治体・公共団体における活動

Activities for national and local governments, and public organizations

[羽生/Hanyu]

- ・ 東北電力(株)の社会人教育として「電子工学」(平成 23 年度～現在) / "Electronics" at Tohoku Electric Power Co., Inc. (FY 2011 - present)
- ・ 八戸工業高等専門学校にて「システム情報工学」(平成 22 年度～現在) / System Information Engineering at Hachinohe National College of Technology (FY 2010 - present)
- ・ 「楽しいサイエンスサマースクール」実行委員 (1994 年度～2015 年度) / "Fun science summer school" executive committee (FY 1994 - FY 2015)
- ・ 筑波大学で集中講義「最先端 LSI システム工学」(2014 年度) / "Intensive lecture "Advanced LSI system engineering" at Tsukuba University (FY 2014)
- ・ 仙台二高で出前講義「不揮発 ロジックメモリ が拓く次世代 VLSI コンピューティングパラダイム イムコンピューティングパラダイム」(2014 年度) / Lecture at Sendai Nitaka, "Next Generation VLSI Computing Paradigm that Nonvolatile Logic Opens Up" (FY 2014)
- ・ 日本学術振興会・シリコン超集積化システム第 165 委員会「LSI 夏の学校」企画『LSI 技術者のための人工知能基礎講座』(2016 年 8 月開催@東京大学) / Japan Society for the Promotion of Science・Super-integrated Silicon System 165 Committee "LSI Summer School" Planning "Learning Course for Artificial Intelligence for LSI Engineers" (Aug. 2016)

[夏井/Natsui]

- ・ 東北電力(株)の社会人教育として「電気計測」(平成 23 年度～現在) / "Electrical Measurement" at Tohoku Electric Power Co., Inc. (FY 2011 - present)
  - ・ 東北工大環境情報工学科学部 3 年対象科目「環境データ計測伝送」(平成 23 年度～現在) / "Environmental data measurement transmission" subject for three years at Tohoku University of Technology (FY 2011 – present)
- (4) アウトリーチ活動 / Outreach activities
- ・ 東北大学電気通信研究所主催の「通研公開」において「工作教室：電子部品で遊ぼう！」を開催し、児童～中学生を対象とした科学技術の啓蒙活動を行った。(2014 年 10 月) /

We held "Work class: Let's play with electronic parts!" At the "Token Release" sponsored by the Research Institute of Electrical Communication, Tohoku University, and conducted educational activities on science and technology for children, junior high and high school students. (Oct. 2014)

#### 4. 競争的資金の獲得状況 / Research funds/grants received

##### (1) 科学研究費補助金 / Grant-in-Aid for Scientific Research (KAKENHI)

[羽生/Hanyu]

・ 基盤研究(B)(一般)「不揮発性素子を用いた PVT バラつきフリーVLSI システムの基盤研究」, 代表, 14,600 千円 (平成 22 年度~平成 25 年度) / Grant-in-Aid for Scientific Research(B), "Basic research of PVT variation free VLSI system using non-volatile element" (Principal investigator) 14,600,000 JPY (FY 2010 – 2013).

・ 基盤研究(S)「脳型コンピューティング向けダーク・シリコンロジック LSI の基盤技術開発」, 代表, 127,100 千円 (平成 28 年度~平成 32 年度) / Grant-in-Aid for Scientific Research(S), "Basic technology development of dark silicon logic LSI for brain computing" (Principal investigator) 127,000,000 JPY (FY 2016 – 2020).

・ 基盤研究(A)「高速シリアル通信機構の超低消費電力化に関する研究 (代表: 米田友洋 (国立情報学研究所・教授))」, 分担, 3,000 千円 (平成 27 年度~平成 29 年度) / Grant-in-Aid for Scientific Research(A), "Research on ultra-low power consumption of high-speed serial communication mechanism" (T. Yoneda at National Institute of Informatics as principal investigator) 3,000,000 JPY (FY 2015 – 2017).

[夏井/Natsui]

・ 基盤研究(C) (特設分野研究)「完全自律誤り訂正 VLSI 設計技術の構築と脳型 LSI システムへの応用展開」, 代表, 3,600 千円 (平成 28 年度~平成 30 年度) / Grant-in-Aid for Scientific Research(C) (Special Field), "Construction of fully autonomous error correction VLSI design technology and its application to brain type LSI system" (Principal investigator) 3,600,000 JPY (FY 2016 – 2018).

・ 国際共同研究加速基金 (国際共同研究強化)「基盤技術の構築と高信頼脳型 LSI システムへの応用展開」, 代表, 10,000 千円 (H29~H31) / International Joint Research Acceleration Fund (International Joint Research Strengthening) "Construction of Basic Technology and Application to Highly Reliable Brain LSI System" (Principal investigator) 10,000,000 JPY (FY 2017 – 2019).

・ 基盤研究(B)(一般)「不揮発性素子を用いた PVT バラつきフリーVLSI システムの基盤研究」, 分担, 1,820 千円 (平成 22 年度~平成 25 年度) / Grant-in-Aid for Scientific Research(B) "Basic research of PVT variation free VLSI system using non-volatile element" (T. Hanyu as principal investigator) 1,820,000 JPY (FY 2010 – 2013).

・ 基盤研究(S)「脳型コンピューティング向けダーク・シリコンロジック LSI の基盤技術開発」 (代表: 羽生貴弘), 分担, 2,000 千円 (平成 28 年度~平成 32 年度) / Grant-in-Aid for Scientific Research(S), "Basic technology development of dark silicon logic LSI for brain computing" (T. Hanyu as principal investigator) 2,000,000 JPY (FY 2016 – 2020).

[鬼沢/Onizawa]

- ・ 若手研究(A)「確率的演算に基づく超低消費電力IPパケット処理LSI実現に関する研究」, 代表, 18,270千円(2014-2017年度)/Young research(A)“Study on realization of ultra-low power consumption IP packet processing LSI based on probabilistic operation”(Princial investigator) 18,270,000 JPY (FY 2014 - 2017).
- ・ 挑戦的萌芽研究「超並列ストカスティック演算に基づく大規模な人間的視覚処理ハードウェア実現への挑戦」, 代表, 3,510千円(2016-2018年度)/Challenging sprouting research "Challenge to realize large-scale human visual processing hardware based on massively parallel stochastic computing" (Princial investigator) 3,510,000 JPY (FY 2016 - 2018).
- ・ 基盤研究(S)「脳型コンピューティング向けダーク・シリコンロジックLSIの基盤技術開発」(代表:羽生貴弘), 分担, 500千円(平成28年度~平成32年度)/Grant-in-Aid for Scientific Research(S), "Basic technology development of dark silicon logic LSI for brain computing"(T. Hanyu as principal investigator) 500,000 JPY (FY 2016 - 2020).

(2) 受託研究費 / Other grants and subsidies

[羽生/Hanyu]

- ・ キャノンメディカルシステムズ「インバーティブル論理に基づくCMOSベース学習ハードウェアの実現」, 代表, 42,000千円(2018年1月-2019年12月)/Canon Medical Systems Cooperation "Realization of CMOS-based learning hardware based on Invertible Logic" (Princial investigator) 42,000,000 JPY (Jan. 2018 - Dec. 2019).
- ・ 最先端研究開発プログラム「省エネルギー・スピントロニクス論理集積回路の研究開発」(中心研究者:大野英男教授), 分担 315,000千円(平成21年度~25年度)/Leading-edge research and development program "R & D on energy saving and spintronics logic integrated circuits" (H. Ohno as principal investigator) / 315,000,000 JPY (FY 2009 - 2013).
- ・ 文科省CREST: 研究領域「ディペンダブルVLSIシステムの基盤技術」, 研究課題名「ディペンダブルネットワークオンチッププラットフォームの構築」主たる共同研究者(代表:米田友洋教授), 分担 (35,000千円(平成20年度(平成20年10月)~25年度)/Ministry of Education, Culture, Sports, Science and Technology CREST: Research area "Basic technology of dependable VLSI system", Research subject name "Construction of dependable network on chip platform" (T. Yoneda as princial investigator) 35,000,000 JPY (FY 2008 - 2013).
- ・ 文部科学省受託研究「イノベーション創出を支える情報基盤強化のための新技術開発」, 研究課題名「耐災害性に優れた安心・安全社会のためのスピントロニクス材料・デバイス基盤技術の研究開発」(代表:大野英男教授), 分担, 40,000千円(平成24年10月~平成29年3月)/MEXT Contract Research "Development of new technology for strengthening information infrastructure to support innovation creation", Research title "R & D on spintronics material and device basic technology for a safe and secure society with excellent disaster resistance" (H. Ohno as principal investigator), 40,000,000 JPY (Oct. 2012 - Mar. 2017).
- ・ 革新的研究開発推進プログラム (ImPACT)「無充電で長期間使用できる究極のエコIT機器

書式変更: フォント: (英) Arial, フォントの色: テキスト1

の実現」(PM: 佐橋政司氏 (JST)) のサブプロジェクト「スピントロニクス集積回路を用いた分散型 IT システムプロジェクト」(代表: 大野英男氏 (東北大)), 分担, 90,000 千円 (平成 26 年度~30 年度) / Innovative research and development promotion program (ImPACT) "Realization of the ultimate eco-IT equipment that can be used for a long time without charging" (H. Ohno as principal investigator) 90,000,000 JPY (FY 2014 – 2018).

- JST-OPERA「世界の知を呼び込む IT・輸送システム融合型エレクトロニクス技術の創出」(代表: 遠藤哲郎教授), 分担, 6,000 千円 (平成 28 年度~平成 32 年度) / JST-OPERA "Generation of IT / Transportation System Integrated Electronics Technology that Brings the World's Knowledge" (T. Endo as principal investigator) 6,000,000 JPY (FY 2016 – 2020).

[夏井/Natsui]

- 研究助成(村田学術振興財団)「脳の知的情報処理ダイナミクスを活用した高性能・高信頼エレクトロニクスシステムの研究開発技術開発」, 代表, 2,400 千円 (平成 28-29 年度) / Research grant (Murata Foundation for Science Promotion) "R & D technology development of high-performance, high-reliability electronic system using intelligent information processing dynamics of the brain" (Principal investigator) 2,400,000 JPY (FY 2016 – 2017).

[鬼沢/Onizawa]

- JST/さきがけ「エッジ型学習用ハードウェア実現に向けたインバーティブルロジックの創成」, 代表, 36,400 千円(2018 年 10 月 - 2022 年 3 月) / JST-PRESTO "Creation of Invertible Logic for Realizing Edge-type Learning Hardware" (Principal investigator) 36,400,000 JPY (Oct. 2018 – Mar. 2022).

## (2) 国際共同研究・連携研究・連携教育活動の実績

International joint research, collaborative research, and collaborative education

- Research collaboration with University of Toronto, Canada :  
Prof. Wai Tung Ng: "Joint research on optimum power gating technology in VLSI chip"
- Research collaboration with McGill University, Canada :  
Prof. Warren Gross: "Joint research on stochastic computing"
- Invitation of foreign professors
  - a. Jean-Philippe Diguët (Directeur de recherche, CNRS, France) (Nov. 2014)
  - b. Warren Gross (Professor, McGill University, Canada) (May 2017)
- Invitation of exchange students
  - a. Hooman Jarollahi (Ph.D student, McGill University, Canada) (July 2013 – Aug. 2013)
  - b. Loren Lugosch (Master-course student, McGill University, Canada) (May 2017 - June 2017)
  - c. Sean Smithson (Ph.D student, McGill University, Canada) (Juen 2017 – Aug. 2017)
  - d. Sean Smithson (Ph.D student, McGill University, Canada) (Juen 2018 – Aug. 2018)

## (3) 共同利用・共同研究拠点活動の実績

Achievements of work done under the framework of Joint Usage/Research Center

[羽生/Hanyu]

平成 25~30 年度東北大学電気通信研究所共同プロジェクト (B 区分)「ブレインウェア LSI 国際

共同研究」研究代表者・通研対応教員 / Joint research at RIEC, Tohoku University (Division B)  
(FY 2013 – 2018)

[羽生/Hanyu]

平成 30 年度東北大学電気通信研究所共同プロジェクト (B 区分)「ナノ材料とシリコン技術の融合による新概念デバイスとその新概念情報処理応用に関する研究」通研対応教員 (研究代表者: 渡部平司 教授) / Joint research at RIEC, Tohoku University (Division B) (FY 2018)

[羽生/Hanyu]

平成 30 年度東北大学電気通信研究所共同プロジェクト (B 区分)「高効率エネルギー利用に資する半導体デバイスとその集積システムに関する研究」通研対応教員 (研究代表者: 知京豊裕 教授) / Joint research at RIEC, Tohoku University (Division B) (FY 2018)

[夏井/Natsui]

平成 28~30 年度東北大学電気通信研究所共同プロジェクト (A 区分)「次世代 IoT プラットフォームを支える知的ネットワークセキュリティ技術」通研対応教員 (研究代表者: 永山忍 教授) / Joint research at RIEC, Tohoku University (Division A) (FY 2016 – 2018)

[鬼沢/Onizawa]

平成 29・30 年度東北大学電気通信研究所共同プロジェクト (B 区分)「脳型システム実現に向けた非同期ストカスティック演算の研究」研究代表者 (通研対応教員: 羽生貴弘 教授) / Joint research at RIEC, Tohoku University (Division B) (FY 2017 – 2018)

書式変更: 蛍光ペン (なし)

書式変更: 蛍光ペン (なし)

書式変更: リスト段落, インデント: 左: 12.4 mm, 右 0 字, グリッドへ配置

書式変更: フォントの色: テキスト 1

#### (4) 研究教育指導 / Research supervision

##### (ア) 担当講義リスト / List of lectures

[羽生/Hanyu]

- ・創造工学研修 (2013 年度~現在) / Team-based Engineering Design (FY 2013 – present)
- ・アドバンス創造工学研修 (2013 年度~現在) / Advanced Team-based Engineering Design (FY 2013 – present)
- ・デジタルコンピューティングシステム (2013 年度~現在) / Digital computing (FY 2013 – present)
- ・電子回路 A (2013 年度~2016 年度) / Electronic circuit A (FY 2013 – 2016)
- ・電子回路 I (2017 年度~現在) / Electronic circuit I (FY 2017 – present)
- ・集積回路工学 (2013 年度~) / Integrated circuit (FY 2013 – present)
- ・ハードウェア基礎 (2013 年度~現在) / Hardware fundamentals (FY 2013 – present)
- ・電気・通信工学特別講義 A, 電子工学特別講義 A (分担で担当) (2013 年度~2016 年度) / Electronic Engineering Special Lecture A (FY 2013 – 2016)
- ・伝送工学特論 (大学院博士後期課程学生対象) を分担で担当. (2013 年度~2016 年度) / Transmission Engineering (FY 2013 – 2016)

[夏井/Natsui]

- ・創造工学研修 (2013 年度~) / Team-based Engineering Design (FY 2013 – present)
- ・電気・通信・電子・情報学生実験 A「半導体 I」 (2015 年度) / Experiment A (FY 2015)
- ・電気・通信・電子・情報学生実験 C (2016 年度-) / Experiment C (FY 2016 – present)
- ・トランジスタ増幅器 (2016 年度-) / Transmitter amplifier (FY 2016 – present)

- ・デジタルコンピューティング (2016年度-) / Digital computing (FY 2016 – present)
- ・集積回路工学 (2017年度-) / Integrated circuit (FY 2017 – present)

[鬼沢/Onizawa]

- ・電気・通信・電子・情報学生実験 B「計算機の基礎」(2014年度-) / Experiment B (FY 2014 – present)
- ・アドバンス創造工学研修 (2015年度~) / Advanced Team-based Engineering Design (FY 2015 – present)

#### (イ) 学位取得者リスト

List of bachelor's, master's and doctoral degree students supervised

(2013年度 / FY 2013)

- ・荒木 敦司, 卒業論文「MTJ ベース動きベクトル抽出処理プロセッサの低電力化に関する研究」 / Atsushi Araki (Bachelor)
- ・樫内 清弘, 修士論文「差動形回路方式に基づく低電圧動作論理ゲートの構成に関する研究」 / Kiyohiro Kashiuchi (Master)
- ・渡邊 友馬, 修士論文「非同期NoC用高効率チップ間データ転送回路の構成に関する研究」 / Yuma Watanabe (Master)

(2014年度 / FY 2014)

- ・勝野 健太郎, 卒業論文「脳の視覚皮質計算モデルに基づく物体認識処理用 FPGA 実現に関する基礎的研究」 / Kentarou Katsuno (Bachelor)

(2015年度 / FY 2015)

- ・阿久津 昶明, 修士論文「ビット遷移確率抑制技術に基づく省電力不揮発ロジック LSI の構成に関する研究」 / Takeaki Akutsu (Master)
- ・片桐 大作, 修士論文「ストカスティック演算に基づく小型かつ高機能ガボールフィルタの構成に関する研究」 / Daisaku Katagiri (Master)
- ・夕部直人, 修士論文「不揮発性メモリベース VLSI アーキテクチャとその高エネルギー効率化に関する研究」 Naoto Yube (Master)

(2016年度 / FY 2016)

- ・知花 賢人, 卒業論文「ASSR を用いた高機能・リアルタイム聴覚 BCI 実現のための基礎的研究」 / Kento Chibana (Bachelor)
- ・菅谷 直登, 修士論文「時系列特徴抽出に基づく高信頼・高効率誤り訂正手法に関する研究」 / Naoto Sugaya (Master)
- ・田畑 佑樹, 修士論文「メモリ機能共有化に基づく不揮発ロジックインメモリ構造 LUT 回路の高性能化に関する研究」 / Yuki Tabata (Master)

(2017年度 / FY 2017)

- ・加藤健太郎, 修士論文「時系列特徴抽出に基づくチップ内データ伝送エラー訂正手法に関する研究」 / Kentarou Kato (Master)

(2018年度 / FY 2018)

- ・向田 渉吾, 修士論文「高精度電流制御回路を用いた 省電力真性乱数生成器の構成に関する研究」 / Shogo Mukaida (Master)
- ・西野 海斗, 修士論文「ストカスティック演算に基づくインバーティブルロジック算術演算回路の構成に関する基礎研究」 / Kaito Nishino (Master)
- ・須田拓樹, 修士論文「時系列特徴に基づく車載ネットワーク向け不正侵入検出技術に関する研究」 / Hiroki Suda (Master)

#### (5) 叙勲・受賞・表彰 / Honors, awards, and prizes

1. N. Onizawa, S. Matsunaga, and T. Hanyu  
Best Paper Finalist at 20th IEEE Asynchronous Circuits and Systems (ASYNC),



- Date : May 14, 2014.
2. N. Onizawa  
3rd place at Falling Walls Lab Sendai 2014  
Date : Aug. 8, 2014
  3. 鬼沢直哉 / N. Onizawa  
一般財団法人青葉工学振興会第20回青葉工学研究奨励賞 / Aoba Engineering  
Promotion Association 20th Aoba Engineering Research Promotion Award  
受賞研究 : 非同同期式信号処理に基づく高速・低電力VLSIの実現に関する研究 /  
Award-winning research: Research on realization of high-speed low-power VLSI based  
on asynchronous signal processing  
受賞日 : 2014年12月5日 / Date: Dec. 5, 2014
  4. 羽生貴弘 / T. Hanyu  
平成 27 年度科学技術分野文部科学大臣表彰科学技術賞 (研究部門) / Minister of  
Education, Culture, Sports, Science and Technology Minister's Award for Science and  
Technology Award (Research Division)  
受賞内容「不揮発性ロジックインメモリ集積回路の研究」/ Awarded contents "Research  
on non-volatile logic in memory integrated circuit"  
受賞日 : 2015 年 4 月 15 日 / Date: Apr. 15, 2015
  5. 菅谷直登 / N. Sugaya  
情報処理学会東北支部奨励賞 / Information Processing Society Tohoku Chapter  
Encouragement Award  
受賞日 : 2016 年 6 月 22 日 / Date: June 22, 2016
  6. Y. Tabata  
ULSI-WS2016 Student Paper Award  
Date: May 17, 2016
  7. N. Onizawa  
Kenneth C. Smith Early Career Award for Microelectronics Research (46th IEEE  
International Symposium on Multiple-Valued Logic  
Date : May 19, 2016
  8. 加藤健太郎 / K. Kato  
情報処理学会東北支部奨励賞 / Information Processing Society Tohoku Chapter  
Encouragement Award  
受賞日 : 2017 年 6 月 7 日 / Date: June 7, 2017
  9. 鈴木大輔 / D. Suzuki  
平成 29 年度電気・情報系若手優秀研究賞 (東北大学電気・情報系研究教授会) / 2017  
Young Researcher for Excellent Research in Electrical and Information Systems (Tohoku  
University Research Institute for Electrical and Information Technology)  
受賞日 : 2018 年 6 月 7 日 / Date: June 7, 2018
  10. 鬼沢直哉 / N. Onizawa  
平成 29 年度電気・情報系若手優秀研究賞 (東北大学電気・情報系研究教授会) / 2017

Young Researcher for Excellent Research in Electrical and Information Systems (Tohoku University Research Institute for Electrical and Information Technology)

受賞日：2018年6月7日 / Date: June 7, 2018

(6) その他 / Others

・本所企画の仙台フォーラム2016「人間社会と人工知能」（平成28年11月3日開催@仙台）にて、大学側の講師として登壇し、主として社会人・研究者向けに人工知能ハードウェア技術の最前線について分かり易く講述した。 /

As a lecturer at the university side at Sendai Forum 2016 "Human society and artificial intelligence" (November 3, 2016 @ Sendai) planned by this center, artificial intelligence hardware technology mainly for working people and researchers I made an easy-to-understand lecture on the forefront.

・VLSI回路技術に関する世界で代表的な国際会議の1つ「VLSIシンポジウム」（2016年6月開催@米国ハワイ）のshort course(参加者:約200名)講師として登壇し、IoT(Internet of Everything)社会を実現する回路技術について分かり易く講述した。 /

Short course (participant: approximately 200 people) on one of the world's representative international conference on VLSI circuit technology "VLSI Symposium" (held in June 2016 @ Hawaii), and IoT (Internet of Everything) I gave an easy-to-understand lecture on circuit technology that realizes society.

・当研究チームが推進してきた「不揮発性ロジックインメモリ集積回路」技術に関して、①電子デバイス技術に関する世界最高峰の国際会議IEDM(H26年12月開催)にて招待講演を行うと共に、②最先端集積回路技術に関する世界最高峰の国際会議ISSCC2015(H27年2月開催)のFORUMにて招待講演を実施、③さらに、VLSI設計技術に関するヨーロッパ最大・最高峰の国際会議DATE'15(H27年3月開催)にて招待講演を行うなど、海外著名国際会議にて、その有用性・将来性が広く認識される機会を得た。このような研究者コミュニティからの認識に基づき、「不揮発性ロジックインメモリ集積回路の研究」について、文部科学大臣表彰・科学技術賞(研究部門)を受賞するに至る(授与式は、H27年4月開催)など、通研着任以来、推進してきた「不揮発性ロジック」関連技術が国内外で認められつつある。 /

With regard to "non-volatile logic in-memory integrated circuit" technology promoted by this research team, we gave an opportunity to widely recognize the usefulness and future prospects at overseas famous international conferences, such (1) an invited talk at the world's top international conference on electronic device technology, IEDM (held in Dec. 2014), (2) an Invited lecture at FORUM of the world's top international conference on technology, ISSCC 2015 (held in Feb. 2015), and (3) an invited talk in Europe's largest and highest international conference on VLSI design technology DATE '15 (held in March 2015). Based on such recognition from the researcher community, the Minister of Education, Culture, Sports, Science and Technology receives an award from the Ministry of Education, Culture, Sports, Science and Technology Award for research on nonvolatile logic in-memory integrated circuits. The "non-

volatile logic" related technology, which has been promoted since 2002, has been recognized in Japan and overseas.

・ H26年4月から新規にスタートした「脳型 LSI」プロジェクトに関して、その研究紹介が、河北新報・記事 (H27年5月30日) 「脳型コンピューター実現へ一歩」、日経産業新聞 (H27年6月5日) 「脳型コンピューター・開発3度目の正直なるか」、日本経済新聞 (H27年9月27日) 「脳のように判断する回路」に掲載されるなど、国内での研究活動の認識も広がりつつある。また、脳型 LSI 関連国際シンポジウム (第3回は H27年2月開催) を通じて、国際的な研究者コミュニティとの接点も構築されつつあり、当該研究プロジェクト研究推進の順調な滑り出しに尽力した成果を言える。 /

The research activities have been spreading in Kahoku Shinpo, article (Han. 30, 27) "One step to realize brain-type computer", "Nikkei Sangyo Shimbun" (H27 6) about the research introduction about "brain type LSI" project newly started from H 26 April May 5) "The brain type computer · development third honest?", and Nihon Keizai Shimbun (September 27, H 27) "Circuit to judge like brain". In addition, contact points with the international researcher community are being established through the brain-type LSI-related international symposium, and we have made efforts to make a good start out of the research project promotion concerned.

・多値論理研究は、数学者が半数程度の学会 (100人規模) であるため、例年、その開催経費が参加費だけでは工面できず、過去2年間の開催 (ドイツ、カナダ) では参加費を異常に高くせざるを得なかった (IEEE member で 840 ドル, non-member で 1,000 ドル)。これに対し、2016年の日本開催 (委員長: 羽生) では外部資金 (NICTをはじめ、各種財団へ申請&採択) 獲得に尽力・成功し、registration を約半額程度まで低下させ、参加し易くした。この結果、多数の参加者 (例年の 1.2 倍程度) を得ると共に、IEEE への上納金も潤沢に渡すことができた。この上納金は、2年後の ISMVL 開催 (2018年開催) の「IEEE からの補助金」として利用されるため、本国際学会の開催に多大な貢献を果たした。 /

Multiple-valued logic research is a society (about 100 people) with approximately half of mathematicians, so the annual expenses can not be worked out by the participation expenses alone, and the participation expenses have been held in the past two years (Germany, Canada) I had to make it abnormally high (\$ 840 for IEEE member, \$ 1,000 for non-member). On the other hand, at the 2016 Japan Conference (Chairman: Hanyu), he made efforts to acquire external funds (including application and adoption to various foundations including NICT), reduced registration to about half, and facilitated participation. As a result, we got a large number of participants (about 1.2 times the average year) and were able to hand over money to IEEE. This payment was used as a "Subsidy from IEEE" at the ISMVL meeting (2018) held two years later, and therefore contributed significantly to the holding of this international conference.

・脳内情報処理で本質的に利用されている非同期制御に着目し、それにダークシリコン的アプローチを適用することで、パワーゲーティング機能に適する非同期回路構造とその動作原

理を構築し、実用的脳型コンピューティング実現への可能性を開く。これらの研究は共プロ（H26/B09：脳型 LSI 国際共同研究，代表：羽生貴弘）から発展した，科研費・基盤研究（S）（H28-32，代表：羽生貴弘）として推進され，分野最高峰の学会誌である IEEE の TETC（IF：3.826）に採録されたほか、非同期式回路とシステムにおける最高峰の国際学会 ASYNC2017 に日本人で唯一採択されると共に、国際学会において合計 5 件の招待講演を行うなど、当分野において高く評価されている。/

We will open the possibility to realize brain-type computing by focusing on asynchronous control that is intrinsically used in brain information processing and applying a dark silicon approach to it, where an asynchronous circuit structure is suitable for power gating function and its operation principle, and practical brain. These researches were developed as a joint research project (H26 / B09: Brain-type LSI international joint research, representative: Takahiro Hanyu), and promoted as a research fund, Grant-in-Aid for Scientific research (S) (FY 2016 - 2020) in addition to being accepted by IEEE TETC (IF: 3.826), which is the highest academic journal, as well as being adopted exclusively by the Japanese at ASYNC 2017, the highest international conference in asynchronous circuits and systems, a total of five cases have been received at international conferences. It is highly regarded in the field, such as giving an invited lecture.

~~conference in asynchronous circuits and systems, a total of five cases have been received at international conferences. It is highly regarded in the field, such as giving an invited lecture.~~