

平成 20 年 6 月 24 日

国立大学法人 東北大学

Tel:022-217-5422(電気通信研究所総務課研究協力係)

報道機関 各位

科学技術振興機構 (JST)

Tel:03-5214-8404(広報課)

シリコン基板上のグラフェン薄膜作製に初めて成功 (未来の超高速大規模集積デバイスに道)

東北大学 電気通信研究所の末光 眞希 教授らは、シリコン (Si) 基板の表面を工夫することで、Si 基板の上にグラフェン^{注1)} 薄膜を作製することに世界で初めて成功しました。

グラフェンは、炭素原子が蜂の巣のような網の目状に並んだ二次元シートです。その中では電子がまるで重さのない粒子として振る舞うため、トランジスタや超大規模集積回路を構成する半導体デバイス材料の主流である Si 結晶より、1桁以上高い電子輸送特性^{注2)} を示します。グラフェンの持つこの優れた特性は以前 (2004年) から知られていますが、これまでは Si 基板上にグラフェン薄膜を形成する方法がなく、グラファイト (黒鉛) 結晶^{注3)} からグラフェン薄膜を粘着テープで1枚ずつ引き剥がして Si 基板上に転写する、という原始的な方法しかありませんでした。

今回、実際の半導体集積加工プロセス^{注4)} に用いられるのと同じ結晶成長技術でグラフェン形成を Si 基板上で成功したことは、夢のグラフェン材料を大規模集積回路へ適用する道を開いたという意味で、画期的な成果です。

本研究は、JST 戦略的創造研究推進事業 (CREST) の「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」研究領域 (研究総括: 渡辺 久恒 (株) 半導体先端テクノロジーズ 代表取締役社長) における研究課題「グラフェン・オン・シリコン材料・デバイス技術の開発」(研究代表者: 尾辻 泰一 東北大学 電気通信研究所 教授) の一環として行われ、本研究成果は2008年6月30日 (アイルランド時間) にダブリンで開催される第14回 固体薄膜表面国際会議で発表されます。

<研究の背景と経緯>

コンピューターの基本回路であるシリコン (Si) CMOS 論理回路^{注5)} は、演算を行うトランジスタの寸法をひたすら小さくすることで、集積度の向上と演算時間の短縮を同時に図ってきました。しかし、スケールアップ^{注6)} と呼ばれるこの技術では、Si に基づいた技術の限界が見え始めており、これを克服する大きな可能性を秘めた新材料としてグラフェンが注目されています。グラフェンは、今日用いられている Si 結晶と比べて電子の輸送特性が1桁以上高く、しかも Si プレーナ技

術^{注7)}との親和性も高い、本質的に量産化に適した材料です。

しかし、グラフェンの最大の課題はSi基板上への形成技術にありました。これまでグラフェンは、(1) グラファイト(黒鉛)結晶からの機械的転写、あるいは(2) 炭化ケイ素(SiC)^{注8)}基板の熱改質——によって形成されていました。(1)は、グラファイト(黒鉛)結晶からグラフェン薄膜を粘着テープで1枚ずつ引き剥がしてSi基板上に転写するという原始的な方法で、グラフェン材料の有効性を実証する大きな役割を果たしましたが、工業化には不向きでした。一方(2)は、SiC基板の熱処理によって基板表面にグラフェンを形成するという方法です。それ自体は工業化に適していても、この方法でSi基板上にグラフェンを形成することは不可能でした。

<研究の内容>

本研究グループは、Si基板上に一度、80nmという極めて薄いSiC薄膜を形成し、これを熱処理することでSi基板上へのグラフェン作製に成功しました。その際、Si結晶とSiC結晶の間に存在する約20%の格子不整合^{注9)}を解消するため、これまでとは異なる方向に切り出したSi結晶基板を用いたことがブレークスルーとなりました。この工夫により、Si基板の上に、これまでより歪が4分の1に抑えられたSiC薄膜を成長させることが可能になり、その結果、グラフェン形成に成功しました。

<今後の展開>

本研究成果により、通常の半導体プロセスを用いてSi基板上にグラフェンを形成できることが分かりました。これは、Siテクノロジーにグラフェンを導入する際の基本技術の1つとなり得るもので、工業的な意義は極めて大きいと言えます。

<参考図>

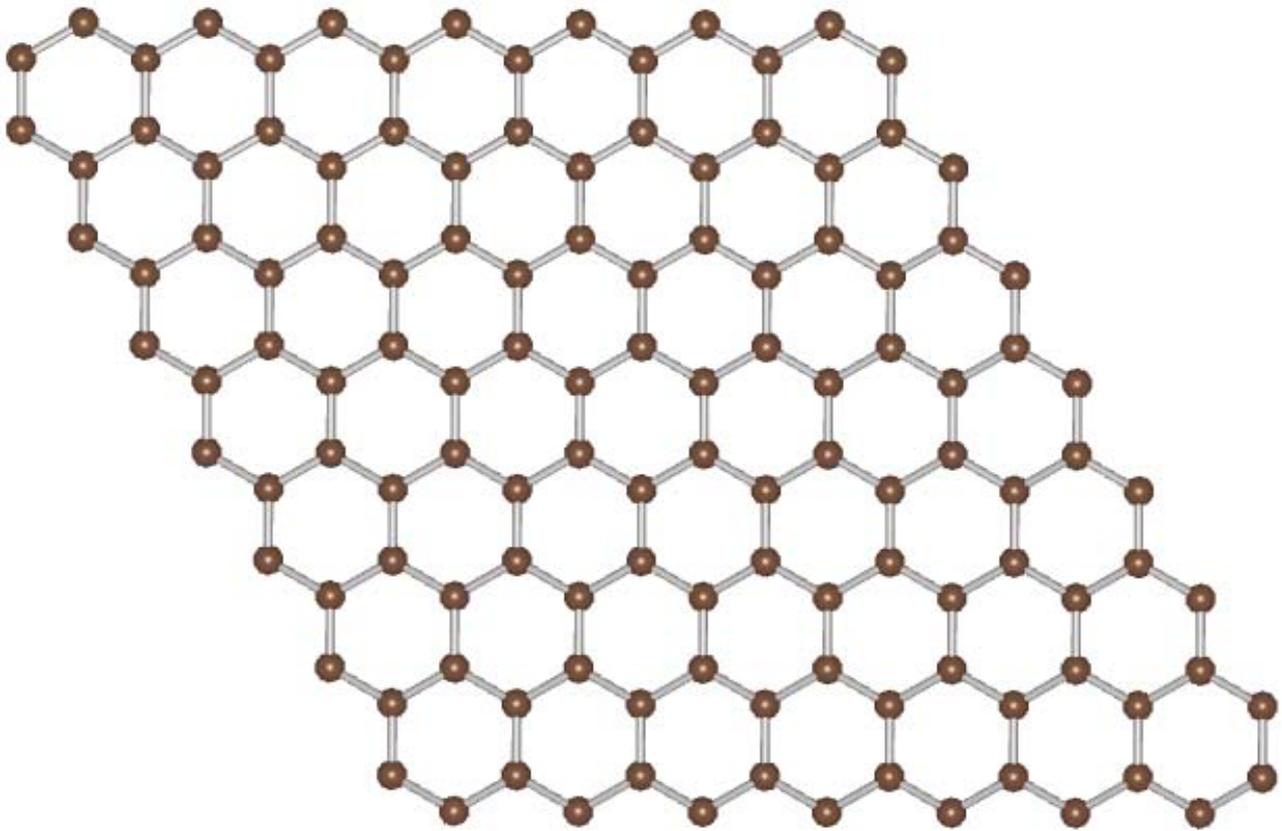


図1 グラフェンの構造。炭素原子（球）が6角形のネットワークを組んでいる。

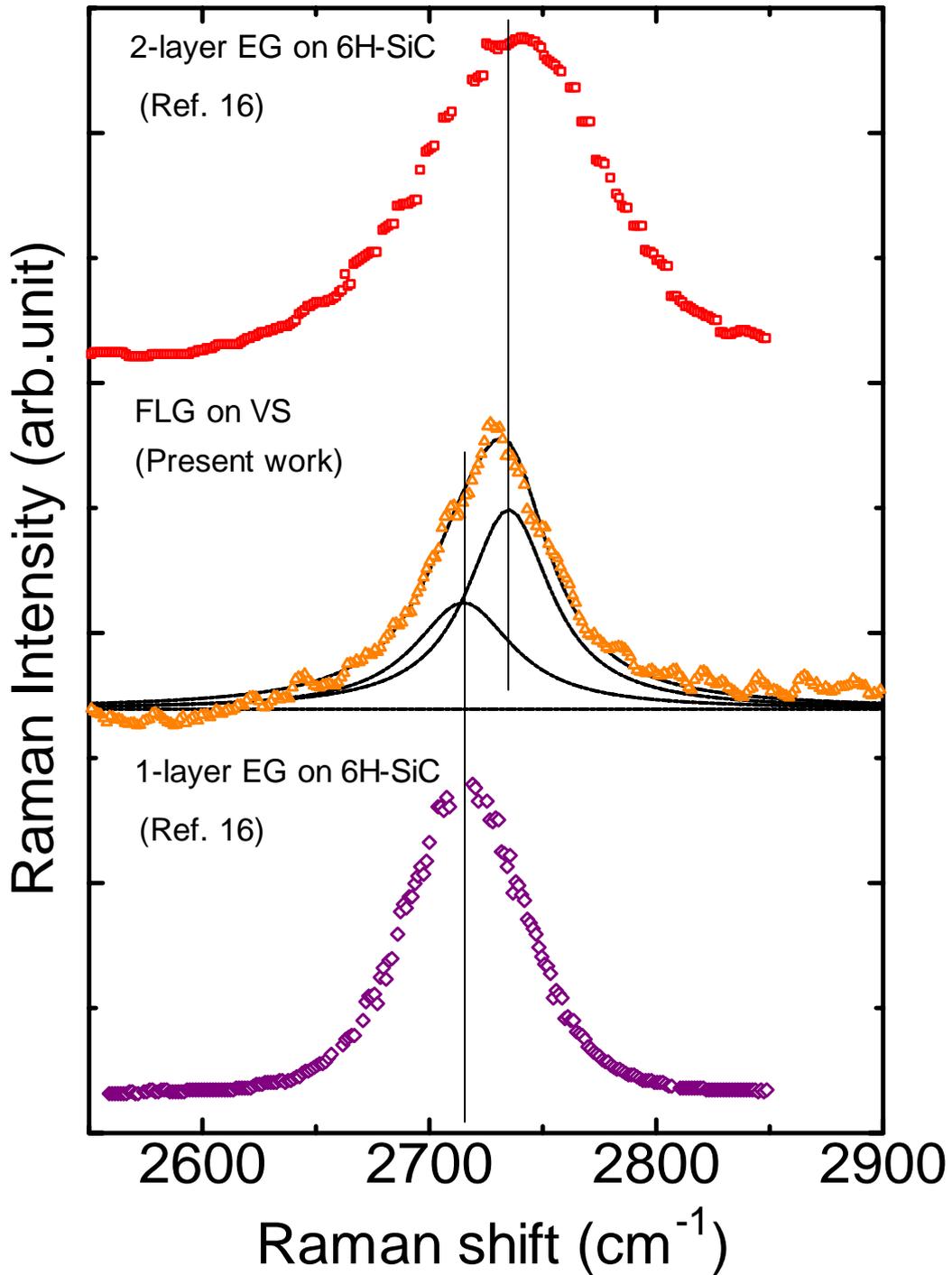


図2 グラフェン形成を示すラマン散乱分光スペクトル

今回のグラフェン薄膜（中央）が単層および2層のグラフェンからなることが、SiC 結晶上に作られた単層（下）および2層（上）からのスペクトルの比較から分かる。

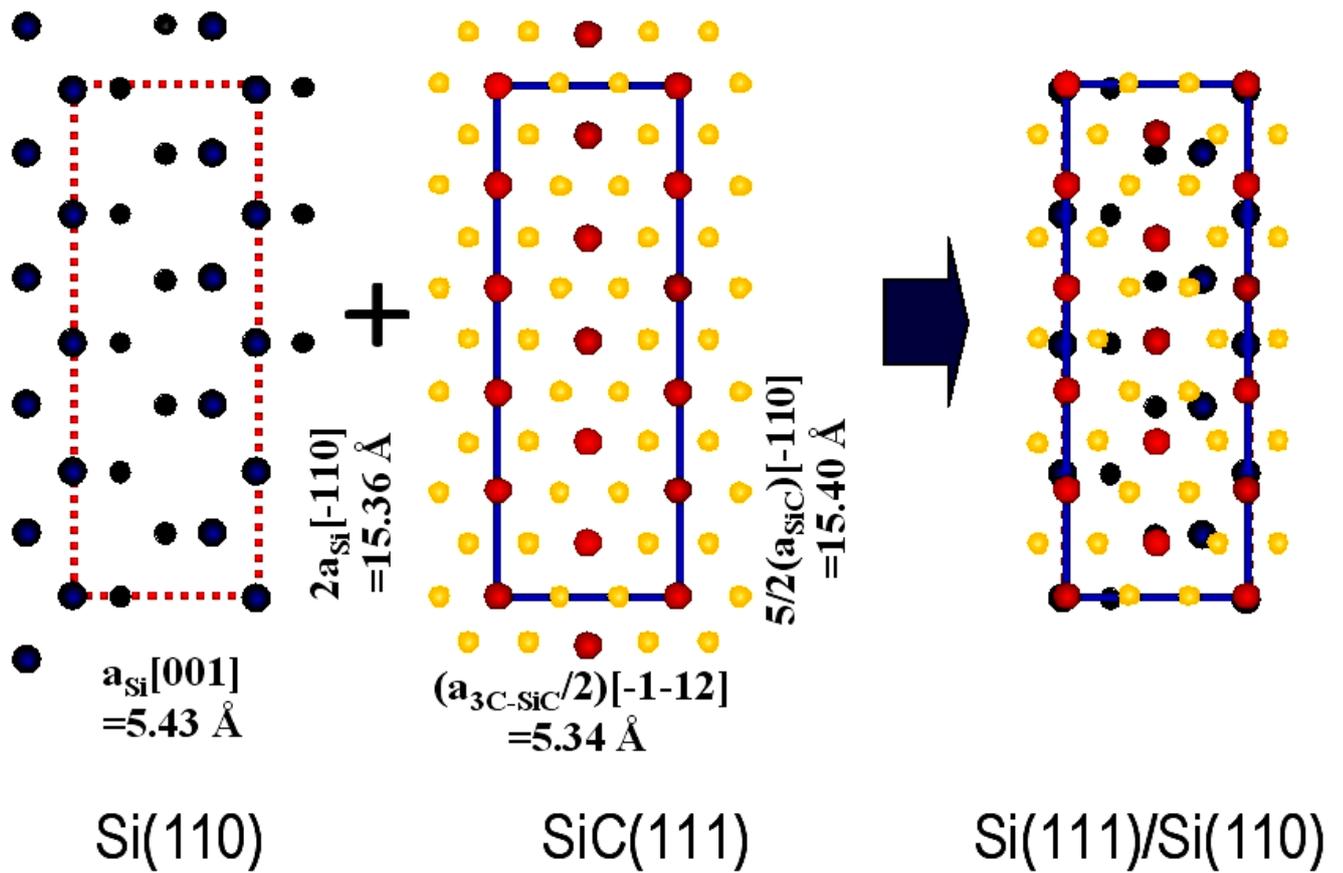


図3 Si(110)基板とSiC(111)薄膜

成長条件を工夫することにより、Si(110)基板(左)の上にSiC(111)面(中)が成長する(右)。この組み合わせにより、SiとSiC結晶の間に存在する約20%の格子不整合が解消される。

<用語解説>

注1) グラフェン

グラファイト（黒鉛）結晶の単層分。炭素原子が蜂の巣状に六角形ネットワークを組んで2次元シートを形成している（図1）。半導体と金属の両要素をあわせ持つ物質で、ポストシリコン材料として期待されている。グラフェンを円筒状に巻くとカーボンナノチューブになる。

注2) 電子輸送特性

物質中での電子の移動のしやすさを示す特性。電子移動度とも言い、半導体デバイスの高速化を実現するためには移動度の向上が必要不可欠である。

注3) グラファイト（黒鉛）結晶

グラフェンを層状に積層させた結晶。層の面内は、炭素が強い共有結合で結合しているが、層と層の間（面間）は、弱いファンデルワールス力で結合しているため、層状にはがれる。身近なところでは鉛筆の芯に使われている。

注4) 半導体集積加工プロセス

シリコンウェハから半導体集積回路を製造する一連の工程。要素技術として、結晶成長技術や微細パターンの形成転写を行うリソグラフィ技術などがある。

注5) CMOS 論理回路

正孔を走らせるP型と電子を走らせるN型のMOSトランジスタを相補的に用いて形成された論理回路。低消費電力化や高集積化に適しており、半導体集積回路で一般的に広く使用されている。

注6) スケーリング

半導体素子の微細化による半導体デバイス高性能化の法則。また、微細化によって高性能化を図る技術。

注7) Si プレーナ技術

平坦なSi基板の表面に半導体素子を形成する技術。

注8) 炭化ケイ素 (SiC)

炭素 (C) とケイ素 (Si) が1:1の割合で結合した化合物。熱的・化学的に非常に安定で、200種類以上の結晶多形が存在する。

注9) 格子不整合

下地結晶（基板）と格子定数の異なる結晶薄膜を成長させた際に生ずる格子定数のずれ。薄膜中の歪や欠陥生成に影響を及ぼす。

<発表論文名>

“Graphene formation on a 3C-SiC(111) thin film grown on Si(110) substrate”
(Si(110)基板上に成長させた3C-SiC(111)薄膜上へのグラフェン形成)

<お問い合わせ先>

①成果内容に関すること

末光 眞希 (すえみつ まき)、末光 哲也 (すえみつ てつや)

東北大学 電気通信研究所 教授、同研究所 准教授

〒980-8577 仙台市青葉区片平2-1-1

Tel/ Fax : 022-217-5485 (末光 眞希)、022-217-5821 (末光 哲也)

E-mail: suemitsu@riec.tohoku.ac.jp (末光 眞希)、sue@riec.tohoku.ac.jp (末光 哲也)

②JST事業に関すること

金子 博之 (かねこ ひろゆき)

独立行政法人 科学技術振興機構 戦略的創造事業本部 研究領域総合運営部

〒102-0075 東京都千代田区三番町5番地 三番町ビル

Tel: 03-3512-3531 Fax : 03-3222-2066

E-mail : crest@jst.go.jp