



東北大学

Empowered by Innovation

NEC

2013年6月10日

報道関係者各位

国立大学法人東北大学  
日本電気株式会社

## 低エラー率と高速書き込みサイクルを実現する大容量ロジック 混載用不揮発性メモリの動作実証に世界で初めて成功

--- 不揮発性キャッシュ・メモリが可能に ---

【概要】国立大学法人東北大学（総長：里見進/以下、東北大学）省エネルギー・スピントロニクス集積化システムセンター及び電気通信研究所の大野英男教授と東北大学 省エネルギー・スピントロニクス集積化システムセンター及び工学研究科の遠藤哲郎教授のグループは、最先端研究開発支援プログラム（中心研究者：大野英男）において共同事業機関であるNECによる集積回路の試作協力を得て、スピントロニクス技術であるスピン注入磁化反転型磁気トンネル接合（Magnetic Tunnel Junction; MTJ）デバイス<sup>注1</sup>とシリコン技術を組み合わせ、ロジック混載用の1Mビット不揮発性メモリを開発しました。本メモリは、標準シリコンCMOS回路上に東北大学で開発したMTJ試作技術を用いて、つくばイノベーションアリーナ（TIA）<sup>注2</sup>において微細スピントロニクスデバイス部分を作製し、原理動作実証に成功したものです。このメモリは6個のトランジスタと2個のMTJから構成される回路（メモリセル）に1ビットの情報を記憶させ、待機時にはデータを不揮発性素子のMTJにセーブして、全てのメモリセルの電源を落とすことにより（パワーオフ状態）、電力をゼロに出来ます。そして、新たな書き込み制御回路を搭載することにより、2.1ナノ秒<sup>注3</sup>というMTJを使ったメモリでは世界最高速でデータ書き込みが可能となり、キャッシュ・メモリ<sup>注4</sup>などとして混載されるプロセッサの要求に応じる高速サイクルを実現できることが確認されました。今回の成功は、将来のローパワー不揮発性コンピューティング・システムで重要になる不揮発性混載メモリで課題であった書き込みの低エラー率化とその高速化をコンパクトなメモリセルサイズを保ったままで実現できることで、システムLSIの更なる高性能化ならびに超低消費電力化への道を大きく前進させました。

### 【背景】

論理集積回路はトランジスタの微細化と共に機能を増大させ、1つのシステムをワンチップ化することが可能になり、このようなシステムLSIは現在の情報化社会を支えているキー・デバイスの1つになっています。そのようなシステムLSIに占める混載メモリの割合は年々大きくなってきており、現在の平均的システムLSIでは、チップの80%以上をメモリが占めている状況です。そのため、微細化による混載メモリの待機時電力の増加によってシステムLSI全体の性能が頭打ちになる状況に陥っています。

この状況を打開するために、混載メモリを不揮発性化し、待機時において電源を遮断して待機電力を削減する方法が提案され、実用化を目指した開発が行われています。この場合の不揮発性

記憶デバイスとしては、CMOS 回路との整合性、スケーラビリティ (微細化による性能向上)、高速書き込み・読み出し性、及び書き込み回数耐性<sup>注5</sup>などの観点から、MTJ が最適なものと考えられています。しかしながら、今までに提案されている MTJ を使った大容量メモリは、何れも混載メモリに要求される高速書き込みサイクルを満足できるものが実現できていませんでした。理由は、MTJ を高速にスイッチするためには大きな電流を必要とするために、それを駆動するためのトランジスタを大きく設計する必要があり、セルサイズが大きくなってしまふからです。言い換えると、大容量メモリを実現するような小さなセルサイズにおいては、高速な MTJ スwitchングが出来ず、書き込みサイクルが混載メモリの要求値を満足できないという状況が続いていました。

#### 【研究経緯】

世界最高水準の MTJ デバイス作製技術を有する東北大学の<sup>大野英男</sup>教授、不揮発性論理回路の実現による超低電力の電子機器システムの構築を世界に先駆けて提案してきた同大学の<sup>遠藤哲郎</sup>教授が、最先端研究開発支援プログラム (中心研究者: 大野英男) において共同事業機関である NEC による集積回路の試作協力を得て、スピントロニクスデバイスによる論理集積回路の超低消費電力化を目指して共同研究を続けてきました。その成果として、MTJ と CMOS 回路を同一集積回路上に混成した、いわゆる MTJ/CMOS 混成回路において、高速書き込みサイクルが可能であり、セルの待機時電力ゼロを実現できる 1M ビットロジック混載用メモリを開発することに成功しました。これにより、高性能で超低消費電力の不揮発性システム LSI の実現に向けて大きく前進しました。

#### 【研究課題】

システム LSI に使われている混載メモリとしては、スタティック RAM (6T-SRAM)<sup>注6</sup>が現在標準的に採用されていますが、トランジスタの微細化と共に、メモリセルでのリーク電流が増加し、LSI 全体のパワーを増大させ更なる機能や性能の向上が見込めなくなっています。同時に、微細化に伴うトランジスタ特性のばらつきによりデータを安定して保持することも難しい状況になっています。また、これを解決すべく、各種の不揮発性メモリが提案・開発されていますが、アクセス時間、書き込み時間、データ保持の安定性、書き込み回数耐性、メモリセルサイズなど全てに関して、混載メモリとしての性能を満足するものではありませんでした。

#### 【研究手法と成果】

東北大学の<sup>遠藤哲郎</sup>教授らのグループは、6T-SRAM と 2 個の MTJ からなる 6T2MTJ 不揮発性メモリセルにおいて、6T-SRAM への書き込みが終了しさえすれば、外部からのデータ入力が仮に遮断されたとしても、その 6T-SRAM に書き込まれた新たなデータを使うことで自動的に 2 個の MTJ をスイッチさせることが可能である新しい書き込み方式を見出しました。ただし、MTJ のスイッチングが終了した後も 6T-SRAM への電源を供給し続けた場合には、メモリセルでの消費電流が大きくなってしまふために、MTJ スwitch終了後に、64 個まとめたセル単位 (グレイン) で電源線 (PL) を 0V に落とすように制御するタイマーを新たに設けることにいたしました。MTJ を高速にスイッチングしようとする程、大きな書き換え電流が必要となると同時に、短い時間内にスイッチングを終了させてしまふと、MTJ 素子によって、あるいは熱による擾乱によって同一素子においてもスイッチングが出来ない確率が高くなります。従って、従来の MTJ

を使った大容量不揮発性メモリの書き込み時間を短縮することは非常に困難でありました。しかし、上記のタイマー内蔵の PL 制御回路を搭載することで、外部の書き込みサイクルが仮に短い時間内に終了したとしても、6T-SRAM のデータさえ反転していれば、MTJ をスイッチするのに充分長い時間にわたり、グレイン毎に PL を高電圧に保つことで、安全に MTJ ヘデータを書き込むことが可能となりました。この MTJ へのスイッチング動作が次のサイクルと時間的に重なっても、MTJ へのスイッチはいわばバックグラウンドで実行されているわけなので、次サイクルが読み出しであれ書き込みであれ、問題なく高速にサイクルを続けることが可能であります。この 6T2MTJ セルならびにこのバックグラウンド書き込み方式を採用した 1Mb メモリを設計し、90nm CMOS 技術と 100nm MTJ 技術を使い試作した結果、1.5 ナノ秒の読み出しサイクルと共に 2.1 ナノ秒の書き込みサイクルを実現できることが分かりました。これは、今までに報告されている MTJ を使った不揮発性メモリとしては世界最高速の性能を示しており、キャッシュ・メモリなどを不揮発性化して将来のコンピュータをローパワー化する上で、重要な一歩が記されたと言えます。

#### 【研究成果の意義】

今回、新しい 6T2MTJ メモリセルの書き込み方式と新しい書き込み制御回路からなる 1M ビットのロジック混載用メモリを設計・試作してその特性を評価した結果、以下の結論が得られ、システム LSI のパワー増に伴う機能・性能頭打ちの状況を打破するための指針を得る事が出来ました。

- ・ **MTJ/CMOS 混成回路における MTJ 自動スイッチング方式の発見**

6T2MTJ メモリセルにおいて 6T-SRAM への書き込みが完了していれば、外部からのデータ入力なしに MTJ 対の自動スイッチングが可能となる新たな書き込み方式を見出すことに成功し、バックグラウンド書き込み方式を有する新たなメモリセル書き込み制御回路の開発につながることが出来た。

- ・ **キャッシュ・メモリなどに適用可能な高速不揮発性メモリの実現**

上記の新たな書き込み制御回路を搭載した 6T2MTJ セルを使った 1Mb 不揮発性メモリを設計し、90nm CMOS ならびに 100nm MTJ 技術を使って試作した結果、1.5 ナノ秒の読み出しサイクルと 2.1 ナノ秒の書き込みサイクルを達成することが出来た。これは、今まで発表された MTJ を使った不揮発性メモリにおける最高速度を記録する。

なお、東北大学ならびに NEC は今回の成果を、6 月 12 日から 14 日まで京都で開催される半導体集積回路技術の国際学会「2013 Symposium on VLSI Circuits」において、13 日に発表します。

本成果は、内閣府の最先端研究開発支援プログラム（題名：「省エネルギー・スピントロニクス論理集積回路の研究開発」、中心研究者：東北大学 大野英男教授）によって得られたものです。

以 上

注1 スピン注入磁化反転型 MTJ デバイス

内閣府の最先端研究開発支援プログラムの中心研究者である大野英男教授らのグループで盛んに研究開発されてきた、優れた特性を有するスピントロニクス素子です。

注2 つくばイノベーションアリーナ (TIA)

2009年に茨城県つくば市に発足した世界水準のナノテクノロジー研究拠点で、産業技術総合研究所(産総研)、物質・材料研究機構(NIMS)、筑波大学、高エネルギー加速器研究機構が中核機関となり運営されています。

注3 1ナノ秒

1秒の10億分の1に相当する時間を表します。

注4 キャッシュ・メモリ

コンピュータの演算部とデータ記憶部(主記憶)の間に位置し、主記憶のデータを一時的に保持して高速に演算部とデータをやり取りすることでコンピュータの性能を向上させるための高速メモリのことで、演算部のLSIに混載されていることが多い。

注5 書き込み回数耐性

許容される書き込み回数の最大値のことで、それ以上書き込みを続けると、メモリ素子が破壊され、正しくデータが読み出されない。ロジック混載用メモリでは、10の15乗以上の耐性が要求されています。

注6 スタティック RAM (6T-SRAM)

データをトランジスタ4個からなる双安定回路に記憶すると共に、2個のスイッチング用のトランジスタを設けてデータ線対に接続させたセルを使った高速アクセス可能なランダム・アクセス・メモリです。

■お問い合わせ先

東北大学 省エネルギー・スピントロニクス集積化システムセンター 支援室 門脇豊 室長  
電話 022-217-6116

E-mail: [yut-kado@riec.tohoku.ac.jp](mailto:yut-kado@riec.tohoku.ac.jp)