

スピン注入磁化反転方式を用いた2メガビットの不揮発性RAMチップの試作に成功
- 高速・低電力な不揮発性メモリの高集積化に道を拓く -

【研究成果】

株式会社日立製作所（執行役社長：古川 一夫 / 以下、日立）と、東北大学電気通信研究所（所長：伊藤弘昌 / 以下、東北大）大野英男教授は、このたび、不揮発・高速・低電力など従来の各種メモリの長所を併せ持ち、かつ大容量化を可能とするスピン注入磁化反転方式¹による2メガビットの不揮発性RAM (Random Access Memory)チップを世界で初めて試作しました。本成果は、不揮発性RAMの優位性を実証し、PCや携帯電話などに使われている従来の各種メモリを一つのチップに集約することに道を拓くものです。

試作した不揮発性RAMの中核となる磁気抵抗素子には、東北大学を拠点に日立と東北大の研究チームが独自に開発した酸化マグネシウム²をトンネル絶縁膜とする高出力トンネル磁気抵抗 (Tunnel Magneto-Resistance: TMR) 素子³を用いています。データの書き込みには、磁界を使わないスピン注入磁化反転方式を採用することにより、将来のさらなる高密度化・低消費電力化に対応可能です。しかし、本方式では書き込むデータの値によってTMR素子に流す電流の向きを反転させるという、従来の半導体メモリ回路にはない特殊な回路動作が必要でした。今回、新たにスピン注入磁化反転方式に適したメモリ回路技術を開発することにより、これらの技術を活用した集積回路を世界で初めて試作し、1.8Vの低電圧で、書込み時間100ナノ秒、読出し時間40ナノ秒の高速動作を実現し、将来の高速・大容量・低消費電力不揮発メモリとしての性能とその優位性を実証しました。本不揮発性RAMチップ試作では、緊密な産学連携の下、東北大学電気通信研究所附属ナノ・スピン実験施設でTMR素子の研究・開発と製造を行ったこと、および、日立の回路設計や基盤作製技術に基づく相互の連携プロセスによるデバイス作製方式を確立したことにより世界をリードする成果を実現しました。

なお、本成果は、文部科学省研究振興局の研究開発委託事業「ITプログラム：世界最先端IT国家実現重点研究開発プロジェクト」の課題の一つである「高機能・超低消費電力メモリの開発」プロジェクト(プロジェクトリーダー：大野英男、東北大学電気通信研究所附属ナノ・スピン実験施設教授)において実施されたものです。

(不揮発性RAMとその社会への波及効果)

磁気抵抗素子を用いる不揮発性RAMやハードディスクドライブに代表される磁気記録装置は、「0」、「1」のデジタル情報の記録を微細な磁石の向き(磁化方向)により行うデバイスです。特に不揮発性RAMは高速処理、低消費電力などの優れた特長を兼ね備えているので、今日用途により使い分けられている全ての種類の半導体メモリを置き換え得るユニバーサルメモリとして期待されており、世界的にその研究開発が活発に行われています。不揮発性RAMのひとつとして、

配線電流によって生じる磁界で書込む機構（磁界書込み方式）の MRAM(Magneto resistive Random Access Memory)（図 1(b)参照）は、これまでに 4Mbit の製品出荷が実現されています。将来、さらなる大容量のギガビット級不揮発性 RAM が実用化されると、携帯端末による大容量のデータ通信や、コンピュータに搭載される CPU の低消費電力化が可能となります。

（従来技術の問題点と本成果による解決）

SRAM 並みの高速性、DRAM 並みの高集積化、フラッシュメモリのような不揮発性、そして小さな電源で動く低消費電力性を持った次世代のデバイス「ユニバーサルメモリ」の有力候補として、ハードディスクと同様に磁気によってデータを記録する不揮発性 RAM が注目されています。不揮発性 RAM は、スイッチング機能をもつ半導体トランジスタ上にトンネル磁気抵抗(TMR)素子が形成された構造を持ち、この TMR 素子が磁気情報記録ビットの記録/再生ユニットとして動作するものです。ここで、TMR 素子は、強磁性膜（薄膜の磁石）を用いた強磁性膜/絶縁膜/強磁性膜の三層膜を基本とする構造をもちます。片側の強磁性膜は磁気記録層として機能し、この記録層の磁石の向き（磁化）が磁界により反転することで、2つの強磁性膜の磁化の向きが平行(状態"0")あるいは反平行(状態"1")になります。TMR 素子では、この2つの状態の電気信号（電気抵抗）の差（磁気抵抗比）を出力として読み出すことが可能です（図 1(a)参照）。

ここで、従来の MRAM における TMR 素子の磁気的情報の書き込みは、MRAM を構成するビット線、ワード線に電流を流すことにより発生する空間磁界を用いる方式である「磁界書込み方式」が採用されていました。（図 1(b)参照）MRAM のギガビット級への大容量化が進むと、磁気情報記録ビットである TMR 素子も微細化されますが、強磁性膜は微細化されると磁化を反転させるためのエネルギーが増大することから、容量が増大するにつれ書き込みに必要な磁界が増大してしまいます。その大きな磁界を発生させるためには、ビット線・ワード線にきわめて大きな電流を流さなければならず消費電力が上昇してしまうという大きな問題が生じます。

この課題に対して、データ書き込みに磁界を用いず TMR 素子へ直接電流を流すだけで、TMR 素子の記録層の磁化方向を反転できる「スピン注入磁化反転法」とよぶ電氣的磁化反転の可能性が 1996 年の理論研究により示されました。電氣的磁化反転は、TMR 素子を流れる電子スピン⁴が記録層の磁化にエネルギーを受け渡し、回転力を与える現象です。この結果、電氣的磁化反転を磁気情報書き込みに応用した新しい不揮発性 RAM が期待されるようになりました(図 2 参照)。電氣的磁化反転の利点は、TMR 素子の面積が小さくなるほど、つまり大容量になるほど磁化反転に必要な電流が小さくなり、低消費電力で書き込みが可能になることです。

「磁界書込み方式法」では、素子が微細化すると莫大な電流を流す必要があるため、近年、この点で有利な「スピン注入磁化反転法」がギガビット級不揮発性 RAM 候補として注目されています。しかし、従来の半導体ではメモリの基本動作である"1"、"0"の信号は電流の ON と OFF で制御されるのに対して、スピン注入磁化反転方式では、TMR 素子に流す電流の向きを"1"と"0"で逆にするという特殊な回路動作が必要となります。また、読み出し電流によって、書込みが行われないような工夫が必要となります。このため、周辺回路を搭載した不揮発性 RAM（以下、スピン注入磁化反転 RAM）チップの実現には、スピン反転方式の原理の深い理解と、高性能な TMR 素子を実現する材料技術が、高度な半導体回路技術と融合して開発される必要がありました。

このような背景のもと、日立と東北大の共同研究チームでは、スピン注入磁化反転方式に適したメモリ回路技術を新たに開発することによって、これらの技術を活用した2メガビットのスピン注入磁化反転RAM集積回路を設計し、世界で初めて試作しました。本チップ試作では、日立・中研においてCMOSの作製を行い、高出力TMR素子の作製は東北大学電気通信研究所附属ナノ・スピン実験施設で行うという相互連携プロセスにより作製しました(図3参照)。緊密な連携がこのような作業工程を可能にし、世界をリードするユニバーサルな不揮発性メモリ実現に道を拓きました。

【成果の具体的内容】

1. 双方向電流切り替え回路技術

従来の半導体メモリの信号書込み回路は、電流がビット線からメモリセルを經由してグラウンドへ流れ出るといって一方に流れる回路構成です。これに対しスピン注入磁化反転RAMでは双方向に電流を流す必要があるため、1つのメモリセルに2本のビット線を設け、電流方向に応じて一方のビット線をグラウンドの役目を担うようにしました。また、TMR素子に流れる電流方向を切替えるスイッチを回路に設け、1ビット毎に書込み電流の向きを切替えて情報を書込みます。(図4、5参照)

2. 読出し時の誤書込み防止回路技術

スピン注入磁化反転方式では、書込み・読出し時ともにTMR素子に電流を流す必要があるため、読出し電流によって誤って情報が書き換わってしまうというリスクを持っています。そこで、TMR素子の読出し時の特性を解析した結果、読出し時の誤書込みは、読出し電流の向きによって起こりにくくなること、読出し時に重要なTMR素子の電気抵抗比は、ビット線の電圧が低いほど大きくなること分かりました。そこで、ビット線の電圧を0.7Vに低減し、スピン注入磁化反転RAM制御回路における誤書込みの課題を解決しました。(図6参照)

【成果の意義】

今回開発した回路技術を用いて、0.2マイクロメートルのCMOSプロセスで2メガビットのスピン注入磁化反転RAMチップを試作し、動作確認を行ったところ、1.8Vの低電圧で書込み時間100ナノ秒、読出し時間40ナノ秒でのメモリ動作が可能であることを確認しました。(図7参照)電気抵抗比が大きく高い感度が得られたことで、低電力でありながら、高速読出しが可能となりました。今回の成果は、微細化、低電力化に優位なスピン注入磁化反転方式の基本回路技術を確立したもので、今後、ギガビット級のスピン注入磁化反転RAMの実現に道を拓くものと期待されます。

なお本内容は、2007年2月11日から米国サンフランシスコで開催される「国際固体素子回路会議(ISSCC: 2007 IEEE International Solid-State Circuits Conference)」にて発表します。

*1 電氣的磁化反転方式とも呼ばれる。通常、磁石(磁化)の反転(磁石のN極とS極の向きを反転すること)は、外

部から磁界を印加することにより起こるが、スピン注入磁化反転方式による反転は 1996 年米国の理論研究者により提唱された磁化反転現象であり、電流を素子に流すことにより磁石（磁化）の反転が起きる。TMR 素子の 2 つの強磁性膜の磁石（磁化）の方向が反平行のとき、電流を TMR 素子の上から下（正方向）へ流すと、上側の強磁性膜の磁石（磁化）の配列は平行状態へスイッチする。電流方向を逆（下から上）にすると、平行から反平行の状態へスイッチがおき、電氣的に磁化反転する。強磁性膜を流れる電子のスピン向きをある向きにそろえ、スピンの向き揃った電流（ある向きに磁化した電流）として書込みを行う技術。

*2 2004 年に独立行政法人産業技術総合研究所の研究チームが強磁性膜に純鉄、絶縁膜に酸化マグネシウム（MgO）を用いた TMR 素子において室温で 180%の磁気抵抗比の観測に成功した。その後、株式会社 ANELVA から強磁性膜にコバルト鉄ボロン、絶縁膜に MgO を用いた TMR 素子により室温で 230%の磁気抵抗比を観測した報告がなされた。本研究チームにおいても 2005 年 4 月、室温で 287%の世界最高の磁気抵抗比を観測し、検討を続けた結果、現在では 450%を超える室温の磁気抵抗比の実現に至っている。なお、酸化アルミニウム絶縁膜を用いた TMR 素子の磁気抵抗比は最大でも約 70%である。

*3 トンネル磁気抵抗（TMR : Tunnel Magneto-Resistance）素子は強磁性膜/絶縁膜/強磁性膜の三層構造で形成される。強磁性体とは、鉄やニッケルのように外から印加された磁界の方向と同じ方向に磁石（磁化）の向きを向ける性質を持つ物質という意味である。磁石である 2 つの強磁性膜の磁石の向きが平行の状態と、反平行の状態とで素子を流れる電流の電気抵抗が大きく変化する現象をトンネル磁気抵抗効果と呼び、平行状態の電気抵抗値に対する上記の電気抵抗の変化量の比（%）を磁気抵抗比と呼ぶ。

*4 スピン電子とは、電子の持っている磁石のような特性で、S 極と N 極に対応する 1 と 0 の状態をもつスピンという状態が特定の方向に偏っている（偏極した）状態の電子のことをさす。この状態の電子は、磁石の磁化と相互作用し、磁化方向と同じ方向のスピン電子は磁石を透過し、逆向きのスピン電子は反射される。

照会先

株式会社 日立製作所 中央研究所 企画室（担当：花輪、木下）

〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地

TEL (042)327-7777(直通)

東北大学 電気通信研究所附属ナノ・スピン実験施設（担当：池田）

〒980-8577 仙台市青葉区片平二丁目1番1号

TEL&FAX (022)217-5555（直通）

報道機関お問合せ先

株式会社日立製作所

コーポレート・コミュニケーション本部 広報部 [担当：竹内]

〒100-8280 東京都千代田区丸の内一丁目6番6号

電話 03-5208-9324(直通)

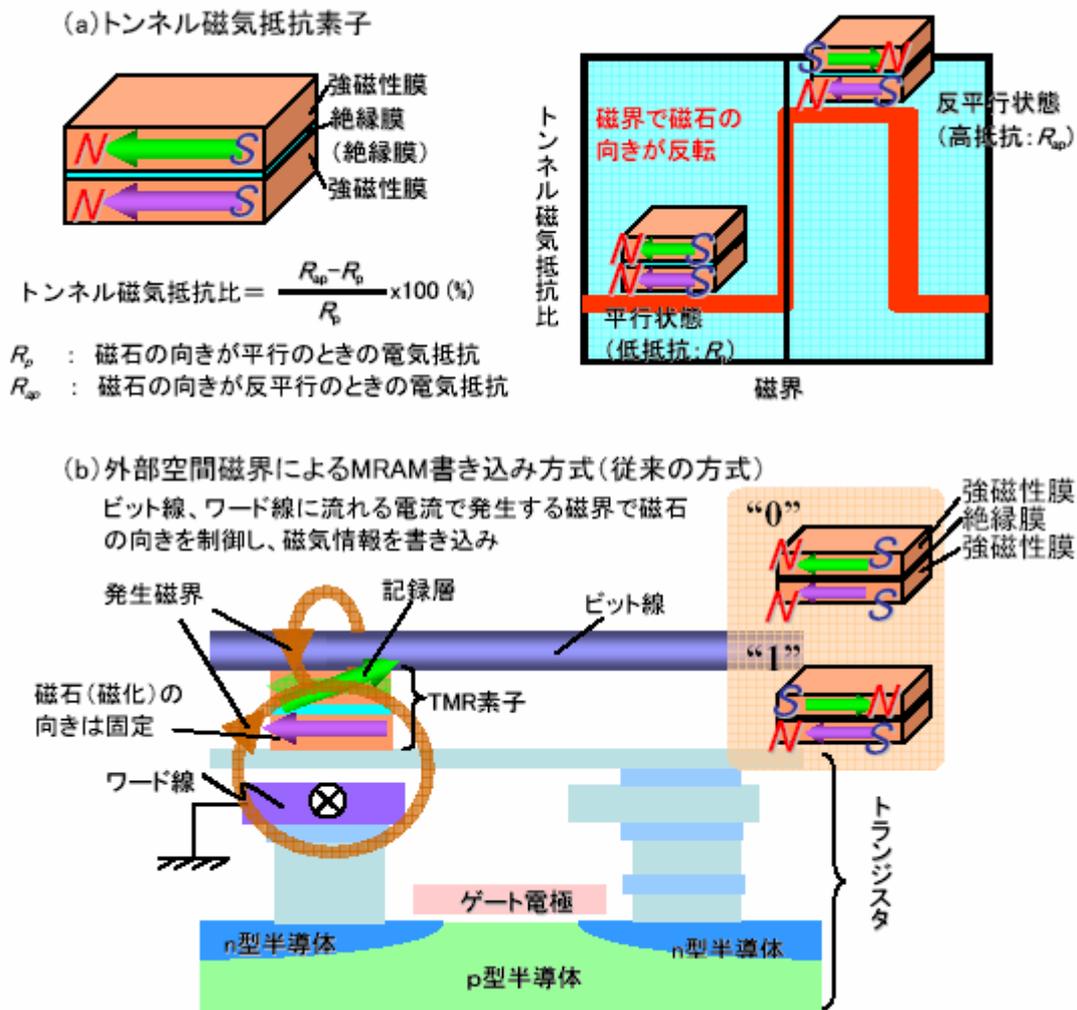
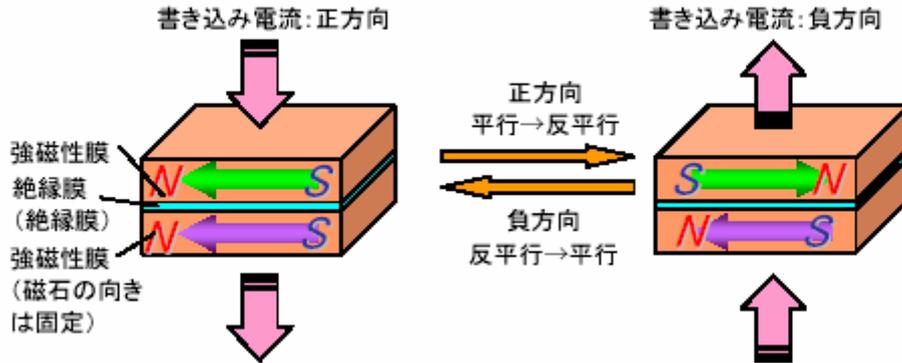


図1 (a) TMR素子は強磁性膜/絶縁膜/強磁性膜の三層構造で形成され、読み出し電流は素子に垂直に流す。磁石である2つの強磁性膜の磁石の向き(磁化)が平行の状態と、反平行の状態とで電気抵抗が大きく変化する現象をトンネル磁気抵抗効果と呼び、平行状態の電気抵抗値に対する上記の電気抵抗の変化量の比(%)を磁気抵抗比と呼ぶ。磁気抵抗比は磁界を印加しながら、片側の強磁性膜の磁化の向きを変化させ、そのときのTMR素子の電気抵抗を測定することにより観測する。

(b) MRAMセル部の断面模式図を示し、従来の磁界を用いたTMR素子への磁気情報の書き込み方式を示す。磁気的情報の記録再生を行うトンネル磁気抵抗(TMR)素子は、半導体トランジスタの上に形成される。トランジスタはセルの選択を行うために用いられる。ビット線とワード線に電流を流すことで空間的に発生する磁界により記録層の磁石(磁化)の向きを回転させる。上下の強磁性層の磁化の向きが平行、反平行の状態をそれぞれ"0"、"1"とする。磁気的情報の読み出しは、"0"、"1"の状態のTMR素子の電気抵抗の差(磁気抵抗比)が生じるため、読み出し電流によりどちらの状態にあるか識別する。MRAMはこのセルがチップ内に高密度に形成されるものである。

(a) 電氣的磁化反転の原理



(b) 電氣的磁化反転による書き込み方式(本成果の方式)

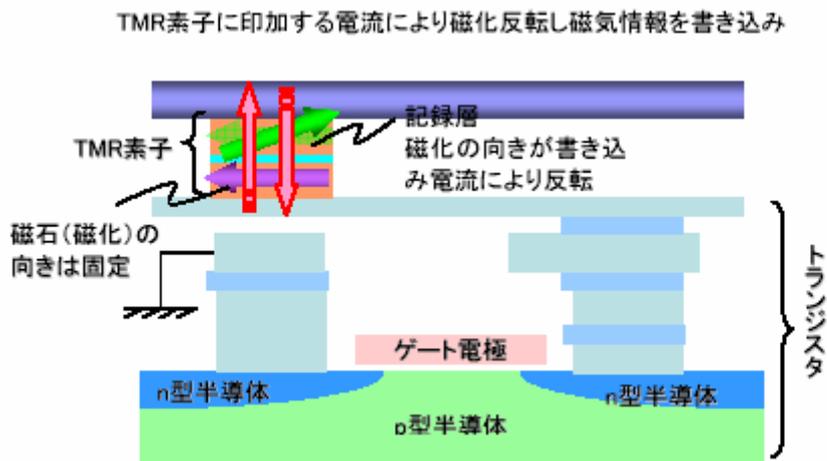


図 2 (a)は本検討の電氣的磁化反転の原理の模式図を示す。電氣的磁化反転は磁界を必要とせず、TMR 素子に電流を流すだけで磁化を反転することが可能である。TMR 素子に流れる電流(電子スピ)が、記録層の磁化にエネルギーを受け渡し、記録層の磁化に回転の力を与える。TMR 素子の2つの強磁性膜の磁石(磁化)の方向が平行のとき、書き込み電流をTMR 素子の上から下(正方向)へ印加すると、磁石(磁化)の配列は反平行へスイッチする。書き込み電流方向を逆にすると、反平行から平行にスイッチし、電氣的に磁化反転する。

(b)は電氣的磁化反転を応用したスピ注入磁化反転 RAM セルの断面模式図を示す。図 1(b)で示した方式のように磁界を必要としないため、書き込み用のワード線を必要としない。

スピン注入磁化反転 RAM チップ作製における日立と東北大の産学連携の構造

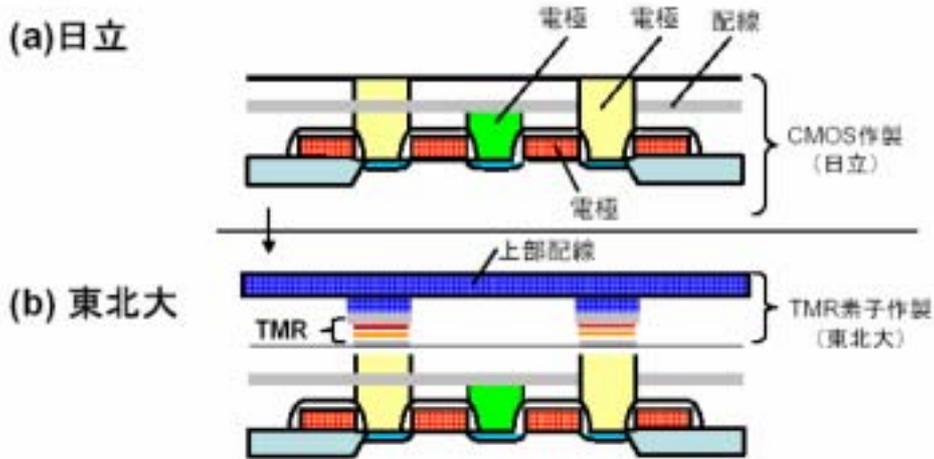


図 3

今回のスピン注入磁化反転 RAM チップ作製における、日立と東北大の産学連携の構造。日立で CMOS 部分を作製し、上面を平滑化した。その後、東北大学電気通信研究所のナノ・スピン実験施設の設備を用いて、共同開発の MgO-TMR 素子を形成し、微細ピラー構造および上部配線を完成させた。緊密な産学連携がこのような作製工程を可能にし、世界をリードするメモリが実現された。

双方向電流書き込み回路の構造

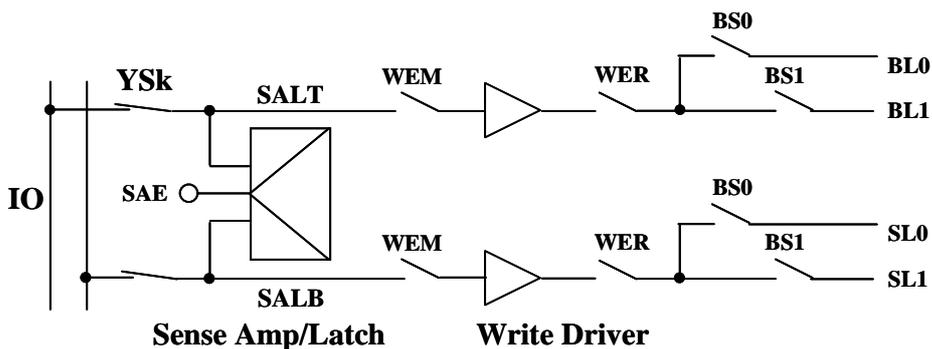
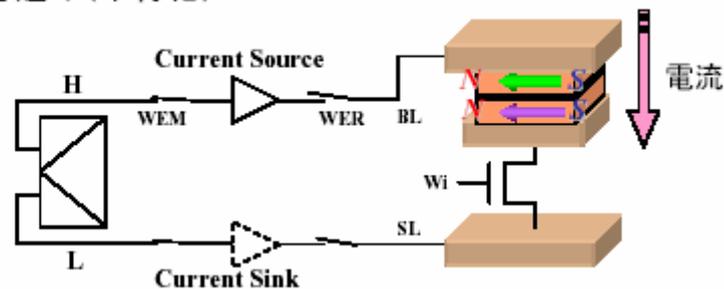


図 4 は搭載回路のブロック図である。本回路は、書き込み情報を蓄えるアンプ（ラッチおよびセンス）(Sense AMP/Latch と表記) とその出力に応じて動作状態が変わる書き込みドライバとからなっている。B1 がビット線、S1 がソース線であり、B1 は TMR 素子とトランジスタを介して S1 に接続されている。図 4 のように、アンプ（ラッチとセンス）は一对の入出力機構を持っており、入出力線 IO から入力された書き込み情報によって、その状態が変わる。状態による回路状態については、次の図 5 に示す。

情報の書き込み方式について

(a) “0” 書き込み(平行化)



(b) “1” 書き込み(反平行化)

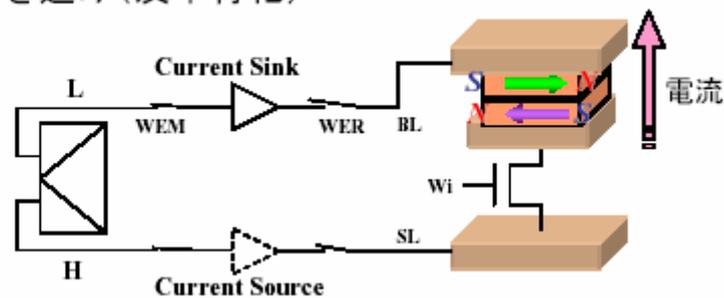


図5は書き込みの方式を示す。(a)は“1”(磁化が反平行な高抵抗状態)から“0”(磁化が平行な低抵抗状態)へ書き込む平行化書き込みである。(b)は、“0”から“1”へ書き込む、反平行化書き込みである。入力された情報が“0”の場合は、図5(a)に示すように、アンプ(ラッチとセンス)の上部出力がHレベルとなり、下部出力がLレベルとなる。アンプ(ラッチとセンス)のこの状態にあるとき、上部出力に接続された書き込みドライバではこの上部出力がHレベルであることにより電流供給源(Current Source)となる。これは、電源とビット線B1との間のスイッチがオン状態のことである。一方、下部出力はLレベルであり、上部出力と同じ構成の書き込みドライバと接続されるが、こちらは電流排出源(Current Sink)となる。回路的には、グランドとソース線S1との間のスイッチがオン状態となる。これによって、メモリセルでは、TMRのフリー層から固定層への向きで電流が流れる状態になる。ワード線WiによってTMR素子と直列に接続されたトランジスタがオンになると、素子に電流が流れスピントランスファートルクにより磁化の向きを平行にし、低い抵抗状態“0”を作り出す。図5(b)は、入力された情報が“1”の場合である。“1”を書き込む時には、上部出力側の書き込みドライバでは、ビット線B1をグランドと接続し、下部出力側の書き込みドライバでは、ソース線S1を電源と接続する。これにより、メモリセルでは、TMRの固定層からフリー層への向きで電流が流れることとなり、磁化の向きを反平行にし、高い抵抗状態“1”を作り出す。

読み出し方式

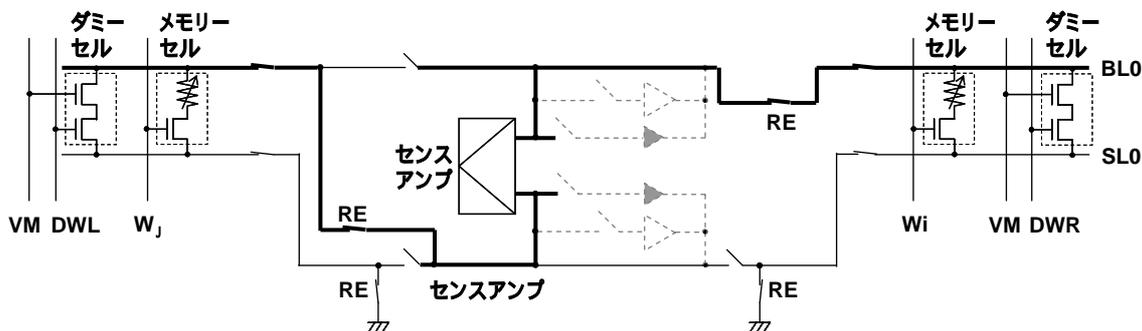


図6は読み出し動作時のアレーの状態を示す。読み出し時には、書き込み時にラッチとして用いた回路をセンスアンプとして用いる。また、センスアンプを挟んで右のアレーと左のアレーのビット線を対とする構成となっている。左右のアレーには、対となるアレーのセルが読み出されるときに、同時に読み出されるダミーセルが設けられる。ダミーセルの抵抗値がメモリーセルの抵抗値の低い状態と高い状態の間となるように、トランジスタのゲート電圧 VM を制御している。本アレーでは、読出し時にビット線を低電圧に駆動する平行化方向の読み出しを実現している。

2メガビットアレーチップの顕微鏡写真

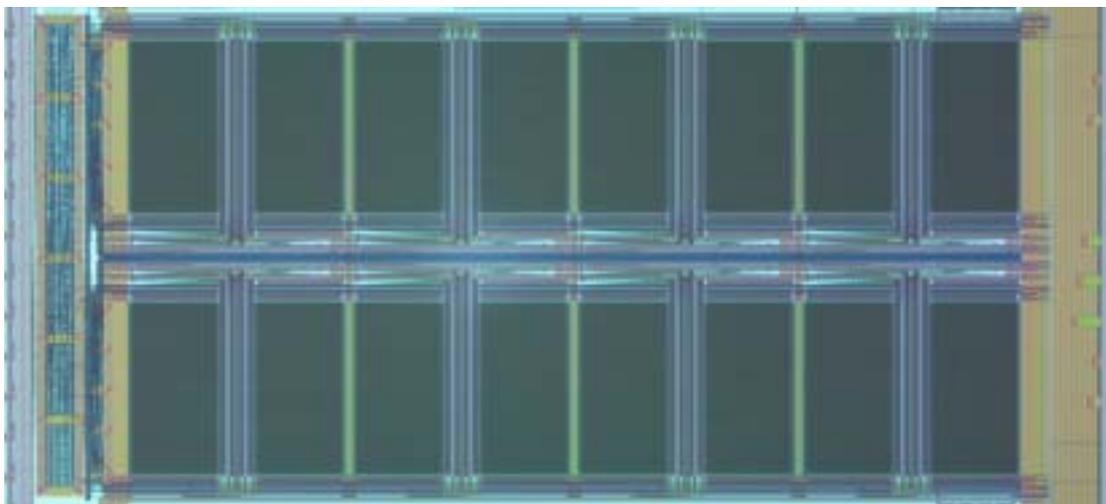


図7に本発表の構造を備えた2メガビットの容量を持つスピ注入磁化反転RAMの顕微鏡写真を示す。チップサイズは5.32mm×2.50mmの大きさで、128キロビットのチップが16個並ぶ形である。CMOSは線幅0.2μmのルールを適用し、また、上層のスピ注入磁化反転RAM部は0.4μmルールで形成されている。4層の金属層を持つ構成である。メモリーセル単体は、1.6μm×1.6μmのサイズである。素子サイズ、線幅については、今後さらに低減することが可能である。

以上